

LOONGSON

龙芯 3D5000 处理器

数据手册

V1.0

2023 年 05 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来



版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 3D5000 处理器数据手册》主要介绍龙芯 3D5000 处理器接口结构，特性，电气规范，以及硬件设计指导。

版本信息

版本信息	文档名	龙芯 3D5000 处理器数据手册
	版本号	V1.0
	创建人	芯片研发部
更新历史		
序号	版本号	更新内容
1	V1.0	初版发布

手册信息反馈: service@loongson.cn

目 录

图目录.....	III
表目录.....	IV
1. 简介.....	1
1.1 技术指标.....	1
1.2 芯片内部框图.....	1
1.3 芯片封装.....	2
1.4 典型应用.....	2
1.5 订购信息.....	4
1.6 术语.....	4
1.7 设计相关文档、工具、软件.....	5
1.7.1 设计相关文档.....	5
1.7.2 工具软件.....	5
1.7.3 固件及系统支持.....	5
1.8 文档约定.....	5
1.8.1 引脚信号命名.....	5
1.8.2 数值表示.....	5
1.8.3 寄存器域.....	6
2. 接口信号.....	7
2.1 接口信号图.....	8
2.2 信号类型定义.....	9
2.3 接口信号说明.....	9
2.3.1 HyperTransport 信号.....	9
2.3.2 DDR 接口信号.....	24
2.3.3 初始化配置信号.....	45
2.3.4 低速接口信号.....	46
2.3.5 中断信号.....	48
2.3.6 JTAG 接口信号.....	48
2.3.7 时钟及配置信号.....	49
2.3.8 GPIO 信号.....	50
2.3.9 测试控制信号.....	52
2.3.10 电源地引脚.....	52
2.4 引脚复用关系.....	53
3. 功能及接口说明.....	54
3.1 HyperTransport 接口.....	54
3.1.1 接口特性.....	54
3.1.2 模式配置.....	54
3.1.3 系统接口连接.....	54
3.2 DDR 接口.....	56
3.2.1 内存控制器功能概述.....	56
3.2.2 初始化操作.....	57
3.2.3 复位引脚的控制.....	57
4. 芯片启动及初始化.....	60

4.1	引导启动说明.....	60
4.2	上电配置说明.....	60
4.3	复位操作.....	61
5.	时钟.....	62
5.1	时钟内部关系.....	62
5.2	时钟需求.....	63
5.2.1	单端时钟输入要求.....	63
5.2.2	差分时钟输入要求.....	63
5.3	频率配置.....	64
6.	电源管理.....	65
6.1	电源域.....	65
7.	热设计.....	66
7.1	热参数.....	66
7.2	TDP 信息.....	66
7.3	焊接温度及焊接曲线.....	66
8.	仿真模型.....	67
9.	电气特性.....	68
9.1	极限工作条件.....	68
9.2	典型工作条件.....	68
9.3	功耗信息.....	69
9.3.1	不同场景应用功耗.....	69
9.3.2	不同温度应用功耗.....	70
9.4	电源时序.....	72
9.5	接口电气特性.....	72
9.5.1	HyperTransport 接口.....	72
9.5.2	DDR 接口.....	72
10.	封装信息.....	73
10.1	封装尺寸.....	73
10.2	信号位置分布.....	75
11.	产品标识.....	76
11.1	通用标识.....	76
11.2	3D5000 芯片（示例）.....	76
12.	Layout 及原理图 Checklist.....	77
12.1	Layout 设计说明.....	77
12.2	原理图 Checklist.....	77
13.	其他.....	78
	附录一：芯片引脚排布.....	79
	附录二：芯片引脚内部延迟数据.....	79
	版权声明.....	错误!未定义书签。

图目录

图 1.1 处理器结构示意图.....	2
图 1.2 单处理器系统连接.....	2
图 1.3 双处理器系统.....	3
图 1.4 四处理器系统.....	3
图 2.1 处理器接口信号框图.....	8
图 2.2 多路系统 GPIO 连接示意图.....	52
图 3.1 单处理器系统 HT 接口连接	55
图 3.2 多处理器系统 HT 接口连接	55
图 3.3 多处理器系统 HT 接口连接（四片）	56

表目录

表 1.1 芯片分级.....	4
表 2.1 信号类型定义.....	9
表 2.2 HT 总线信号	10
表 2.3 DDR4 接口信号.....	24
表 2.4 初始化接口信号.....	45
表 2.5 SPI 接口信号.....	47
表 2.6 UART 接口信号.....	47
表 2.7 I2C 接口信号.....	48
表 2.8 AVS 接口信号.....	48
表 2.9 引脚中断信号描述.....	48
表 2.10 JTAG 接口信号	49
表 2.11 时钟及配置信号.....	49
表 2.12 CORE 时钟控制.....	50
表 2.13 MEM 时钟控制.....	50
表 2.14 HT 时钟控制	50
表 2.15 GPIO 信号	51
表 2.16 JTAG 接口信号.....	52
表 2.17 电源引脚.....	52
表 4.1 上电配置引脚.....	60
表 5.1 处理器内部时钟说明.....	62
表 5.2 参考时钟输入.....	63
表 7.1 芯片热阻参数.....	66
表 7.2 芯片热特性参数和推荐的最大值.....	66
表 9.1 绝对最大额定值.....	68
表 9.2 芯片温度限额.....	68
表 9.3 推荐的工作电源电压.....	68
表 9.4 芯片分级.....	69
表 9.7 2.1GHz 不同应用最大功耗测量值	69
表 9.8 2.1GHz 典型应用平均功耗测量值	70
表 9.9 空闲时不同壳温功耗测量值.....	71
表 9.10 运行 SPEC CPU 2006 时不同壳温功耗测量值	71
表 9.11 运行 Linpack 时不同壳温功耗测量值.....	71

1. 简介

龙芯处理器主要包括三个系列。龙芯 1 号系列处理器采用 32 位处理器核，集成各种外围接口，形成面向特定应用的单片解决方案，主要应用于物联终端、仪器设备、数据采集等领域。龙芯 2 号系列处理器采用 32 位或 64 位处理器核，集成各种外围接口，形成面向网络设备、行业终端、智能制造等的高性能低功耗 SoC 芯片。龙芯 3 号系列处理器片内集成多个 64 位处理器核以及必要的存储和 IO 接口，面向高端嵌入式计算机、桌面、服务器等应用。

龙芯 3D5000 是一款三十二核处理器，封装为 FCLGA-4129，工作主频为 2.0GHz，主要面向高端服务器领域。

1.1 技术指标

主频	2.0GHz
峰值运算速度	1024GFlops@2.0GHz
核心个数	32
处理器核	64 位超标量处理器核 LA464； 支持 LoongArch [®] 指令集； 支持 128/256 位向量指令； 四发射乱序执行； 4 个定点单元、2 个向量单元和 2 个访存单元
高速缓存	每个核包含 64KB 私有二级指令缓存和 64KB 私有二级数据缓存； 每个核包含 256KB 私有三级缓存； 共 64MB 三级缓存
内存接口	8 个 72 位 DDR4-3200； 支持 ECC 校验
高速 I/O	1 个 HyperTransport 3.0 IO 接口 (DIE0_HT0)； 4 个一致性互连高速接口 (DIE0_HT2、DIE0_HT3、DIE1_HT2、DIE1_HT3)
其它 I/O	1 个 SPI、1 个 UART、5 个 I2C、16 个 GPIO 接口
封装方式	FCLGA4129
功耗管理	支持主要模块时钟动态关闭 支持主要时钟域动态变频 支持主电压域动态调压
典型功耗	160W@2.0GHz

1.2 芯片内部框图

龙芯 3D5000 的结构如图 1.1 所示。其内部集成两个 3C5000 的硅片，通过 HT1 接口互连构成双片结构，每个硅片内部包含 16 个处理器核，16 个共享高速缓存块和 4 个内存控制器。

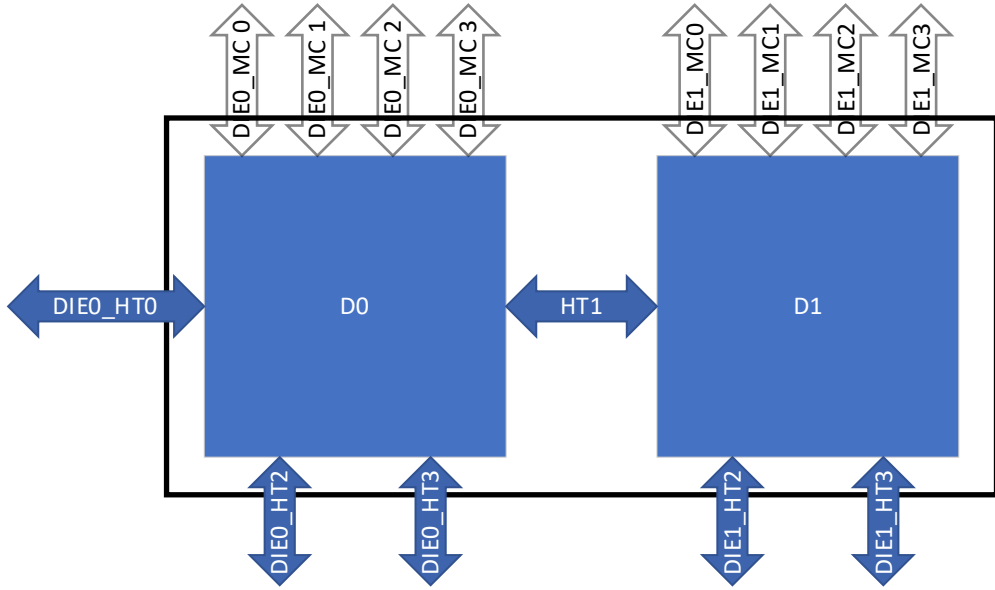


图 1.1 处理器结构示意图

1.3 芯片封装

采用 4129 引脚塑封 FCLGA 封装，芯片尺寸为 75.4mm*58.5mm。

1.4 典型应用

- (1) 单路服务器，龙芯 3D5000 单处理器系统。使用 HT0 接口用于 IO 桥片连接。一种常见的连接方式如图 1.2 所示：

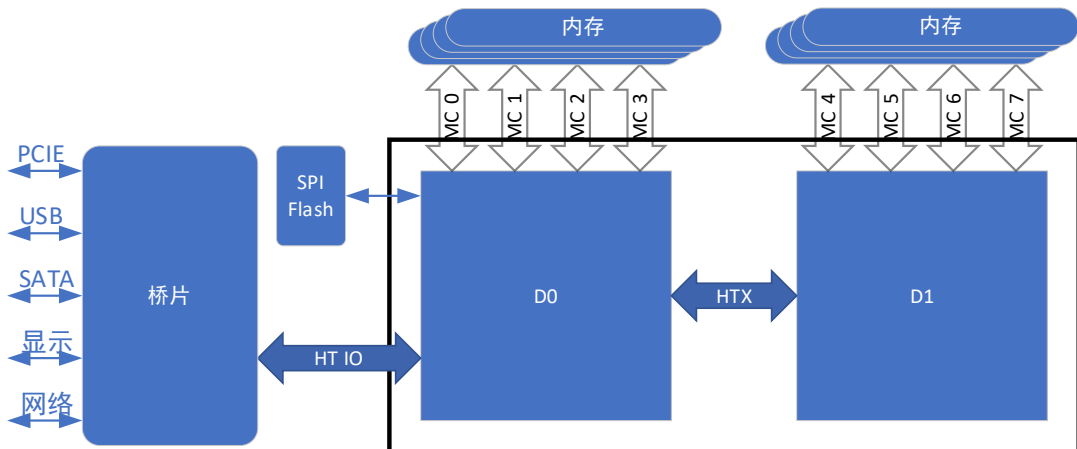


图 1.2 单处理器系统连接

- (2) 双路服务器, 龙芯 3D5000 双处理器系统。使用固定的 HT 接口用于 IO 桥片连接; 使用其它 HT 接口用于多处理器间互连。一种常见的连接方式如图 1.3 所示。

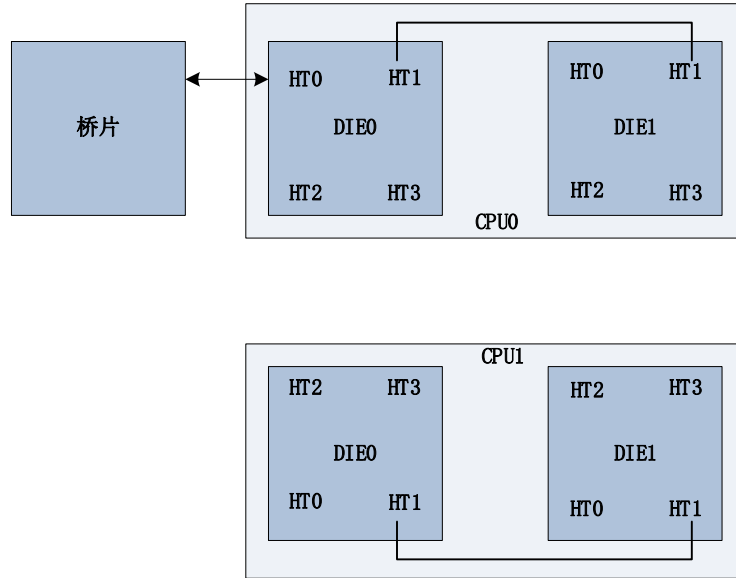


图 1.3 双处理器系统

- (3) 四路服务器, 龙芯 3D5000 四处理器系统。使用固定的 HT 接口用于 IO 桥片连接; 使用其它 HT 接口用于多处理器间互连。一种常见的连接方式如图 1.4 所示。其中虚线表示 8 位总线连接, 实线表示 16 位总线连接

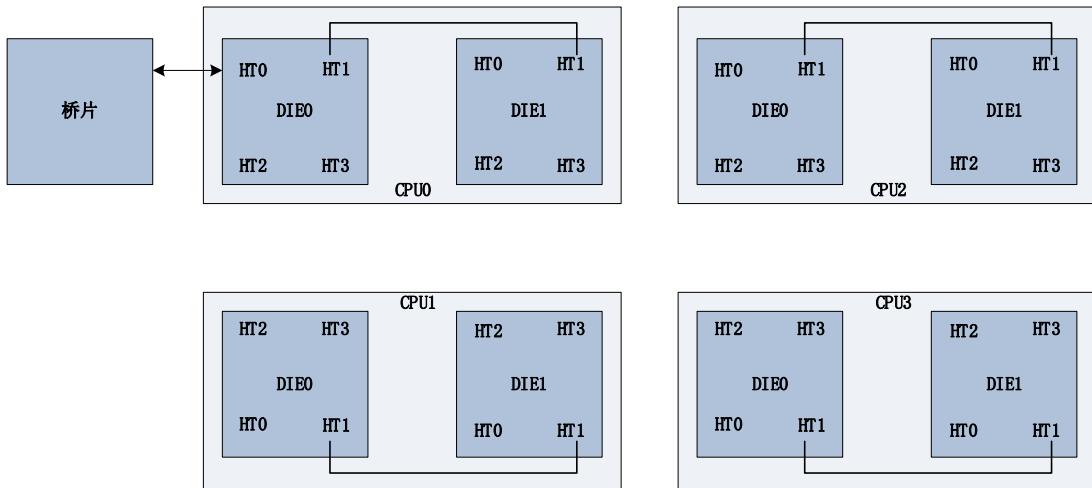


图 1.4 四处理器系统

1.5 订购信息

龙芯 3D5000 芯片为商业级。

版本的说明如下表：

表 1.1 芯片分级

芯片标识	质量等级	典型电压*	电源要求	典型功耗*	壳温范围	说明
LS3D5000	商业级	1.10V	±25mV	160W	0 - 70℃	商业级版本 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

*表中数据为典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得全芯片平均功耗）。芯片运行时功耗受负载的影响，待机或低负载工作功耗远低于典型值。

1.6 术语

表 1-2 术语和缩略语表

术语	描述	备注
PMON	开源固件，在部分龙芯处理器系统中使用	
UEFI	开源固件，在部分龙芯处理器系统中使用	
GMAC	千兆以太网控制器	
GPIO	通用输入输出接口	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDA	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DDR4	第四代双倍速率内存接口	
DIMM	Dual Inline-Memory-Modules	
UDIMM	Unbuffered Dual In-Line Memory Modules	
SODIMM	Small Outline Dual In-line Memory Module	
RDIMM	Registered Dual-Inline-Memory-Modules	
LRDIMM	Load-Reduced Dual-Inline-Memory-Modules	
JTAG	标准测试调试接口	
Loongnix	龙芯开源操作系统	

1.7 设计相关文档、工具、软件

1.7.1 设计相关文档

龙芯 3D5000 参考手册如下述：

《龙芯 3C5000 处理器寄存器使用手册》（龙芯 3D5000 软件上与双路龙芯 3C5000 一致）

《龙芯 3D5000 处理器数据手册》

1.7.2 工具软件

龙架构（LoongArch）相关软件。

1.7.3 固件及系统支持

（1）芯片所支持的固件：

PMON、UEFI

（2）芯片所支持的操作系统：

Loongnix

其它商业操作系统

1.8 文档约定

1.8.1 引脚信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。

1.8.2 数值表示

16 进制数表示为 'hxxx'，2 进制数表示为 'bxx'，其它数字为 10 进制。功能相同但标号

有别的引脚（如 DDR_DQ0, DDR_DQ1, …）使用方括号加数字范围的形式简写（如 DDR_DQ[31:0]）。类似地，寄存器域也采用这种表示方式。

1.8.3 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如 chip_config0.uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。

2. 接口信号

龙芯 3D5000 的管脚数为 4129，包含以下类别的信号：

- HyperTransport 总线接口信号
- DDR4 SDRAM 总线接口信号
- 初始化信号
- 低速 I/O 接口
- 芯片引脚中断信号
- JTAG 信号
- 测试和控制信号
- 时钟信号
- 电源引脚
- GPIO 信号
- SE 模块信号

2.1 接口信号图

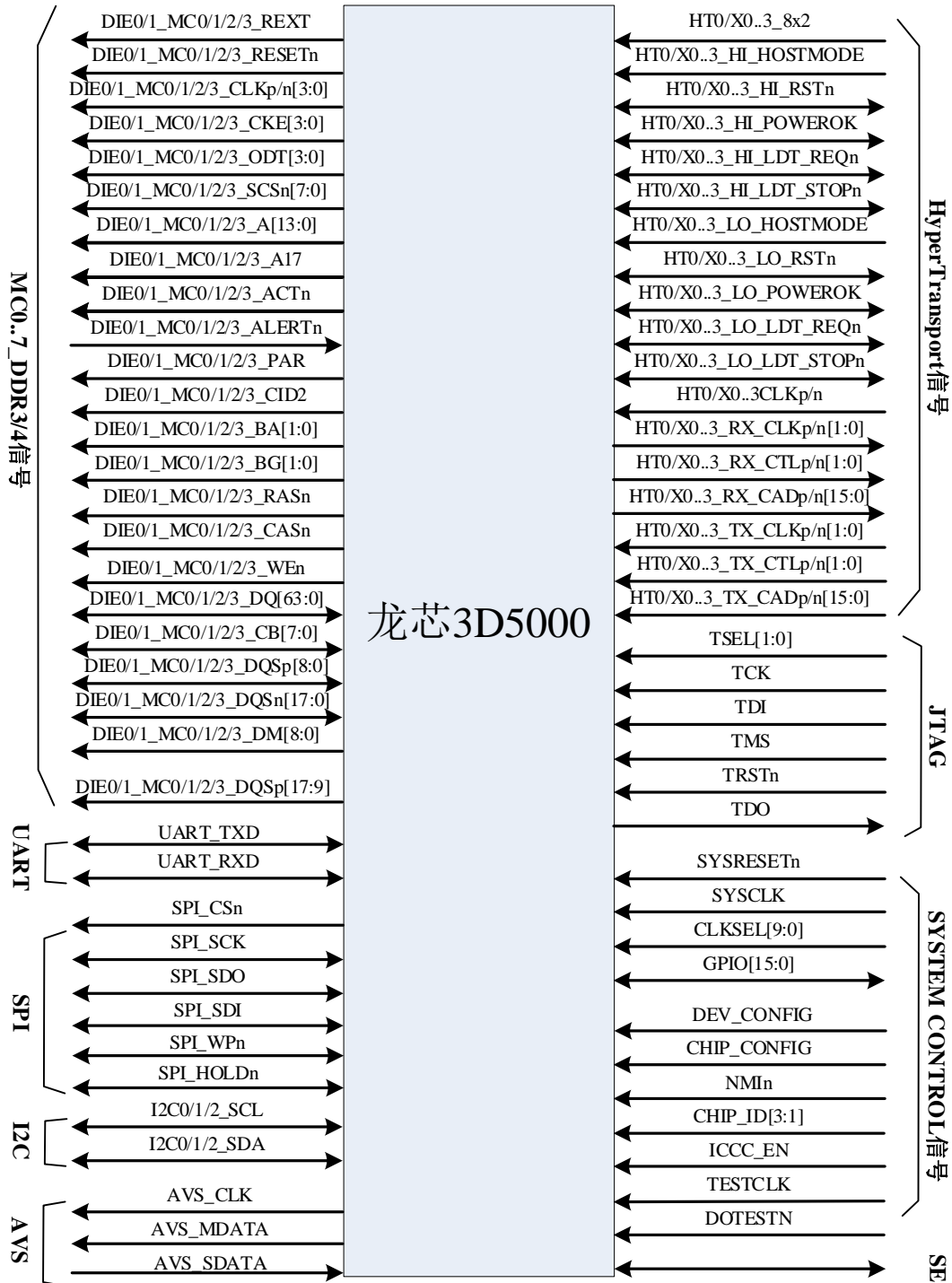


图 2.1 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 信号类型定义

本章信号类型定义如下表所示：

表 2.1 信号类型定义

输入输出类型	说明
I	输入
O	输出
I/O	输入输出
A	模拟

2.3 接口信号说明

2.3.1 HyperTransport 信号

龙芯 3D5000 中拥有 1 组用于 IO 连接的 HyperTransport 总线（称为 HT0），和 4 组用于一致性互连的高速接口（分别称为 DIE0_HT2、DIE0_HT3、DIE1_HT2、DIE1_HT3）。用于 IO 连接和一致性互连的接口不可混用。

每组 HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个 16 位/低 8 位总线控制信号；
- 4 个高 8 位总线控制信号；

HyperTransport 总线不使用时可以悬空。需要注意的是对于悬空的 HyperTransport 通道，需要将其对应的 LDT_STOPn 信号下拉处理。

例如，当 HT0 没有连接器件，HT0_8x2 信号外部悬空或下拉时，此时 HT0 工作在 16 位模式下，则需要将 HT0_LO_LDT_STOPn 下拉。

例如，HT1 被分为两个通道使用，HT1_8x2 信号上拉，HT1 低 8 位连接器件，高 8 位悬空时，则需要将 HT1_HI_LDT_STOPn 下拉。

当对应的 LDT_STOPn 引脚被复用为 GPIO 时，同样需要进行下拉。

下表是龙芯 3D5000 处理器的 HyperTransport 总线接口信号定义。上下拉电阻内部约为 50KOhm。

表 2.2 HT 总线信号

HT0 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_HT0_8x2	V72	I	为 1 时有效，表示将 HT0 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT0 作为 16 位总线使用	VDDE_IO	下拉
DIE0_HT0_Lo_PowerOK	W73	I/O	当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT0_Lo_Rstn	V74	I/O	当 HT0_8x2 无效时为 HT0 总线 Rstn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Rstn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT0_Lo_Ldt_Stopn	U71	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT0_Lo_Ldt_reqn	T76	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE0_HT0_Hi_PowerOK	U75	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT0_Hi_Rstn	R71	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Rstn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT0_Hi_LDT_Stopn	T74	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT0_Hi_LDT_reqn	P72	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE0_HT0_Tx_CADp[15:0]	B108 B106 B104 B102 B100 B98	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线，	VDD_HT	无

	B96 B94 B88 B86 B84 B82 B80 B78 B76 B74		[15:8]位为 HT0_Hi 总线发送数据命令总线。		
DIE0_HT0_Tx_CADn[15:0]	A107 A105 A103 A101 A99 A97 A95 A93 A87 A85 A83 A81 A79 A77 A75 A73	O	当 HT0_8x2 无效时, 该总线为 HT0 总线发送数据命令总线, 当 HT0_8x2 有效时, [7:0]位为 HT0_Lo 总线发送数据命令总线, [15:8]位为 HT0_Hi 总线发送数据命令总线。	VDD_HT	无
DIE0_HT0_Tx_CTLp[1:0]	B90 B70	O	当 HT0_8x2 无效时, 为 HT0 总线发送控制信号, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线发送控制信号, [1]位为 HT0_Hi 总线发送控制信号。	VDD_HT	无
DIE0_HT0_Tx_CTLn[1:0]	A89 A69	O	当 HT0_8x2 无效时, 为 HT0 总线发送控制信号, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线发送控制信号, [1]位为 HT0_Hi 总线发送控制信号。	VDD_HT	无
DIE0_HT0_Tx_CLKp[1:0]	B92 B72	O	当 HT0_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线发送时钟信号, [1]位为 HT0_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT0_Tx_CLKn[1:0]	A91 A71	O	当 HT0_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线发送时钟信号, [1]位为 HT0_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT0_Rx_CADp[15:0]	H90 H88 H86 H84 H82 H80 H78 H76 H110 H108 H106 H104 H102 H100 H98 H96	I	当 HT0_8x2 无效时, 该总线为 HT0 总线接收数据命令总线, 当 HT0_8x2 有效时, [7:0]位为 HT0_Lo 总线接收数据命令总线, [15:8]位为 HT0_Hi 总线接收数据命令总线。	VDD_HT	无
DIE0_HT0_Rx_CADn[15:0]	G91 G89	I	当 HT0_8x2 无效时, 该总线为 HT0 总线接收数据命令总线,	VDD_HT	无

	G87 G85 G83 G81 G79 G77 G111 G109 G107 G105 G103 G101 G99 G97		当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:8]位为 HT0_Hi 总线接收数据命令总线。		
DIE0_HT0_Rx_CTLp[1:0]	H72 H92	I	当 HT0_8x2 无效时，为 HT0 总线接收控制信号， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。	VDD_HT	无
DIE0_HT0_Rx_CTLn[1:0]	G73 G93	I	当 HT0_8x2 无效时，为 HT0 总线接收控制信号， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。	VDD_HT	无
DIE0_HT0_Rx_CLKp[1:0]	H74 H94	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。	VDD_HT	无
DIE0_HT0_Rx_CLKn[1:0]	G75 G95	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。	VDD_HT	无
DIE0_HT0_REXT	U73	I	Die0 HT0 通道外部参考电阻，需要外接 800 欧姆电阻到 GND		
DIE0_HT1_REXT	R43	I	Die0 HT1 通道外部参考电阻，需要外接 800 欧姆电阻到 GND		
DIE0_HT2 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_HT2_8x2	W71	I	为 1 时有效，表示将 DIE0_HT2 分为 Lo 与 Hi 分别使用 为 0 时无效，表示将 DIE0_HT2 作为 16 位总线使用	VDDE_IO	下拉
DIE0_HT2_Lo_PowerOK	V68	I/O	当 DIE0_HT2_8x2 无效时为 DIE0_HT2 总线 PowerOK 信号， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Lo 总线 PowerOK 信号。 当 DIE0_HT2_Lo_Hostmode 有效时为双向信号， 当 DIE0_HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT2_Lo_Rstn	V66	I/O	当 DIE0_HT2_8x2 无效时为 DIE0_HT2 总线 Resetn 信号， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Lo 总线 Resetn 信号。 当 DIE0_HT2_Lo_Hostmode 有效时为双向信号， 当 DIE0_HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉

DIE0_HT2_Lo_Ldt_Stopn	W67	I/O	当 DIE0_HT2_8x2 无效时为 DIE0_HT2 总线 Ldt_Stopn 信号， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Lo 总线 Ldt_Stopn 信号。 当 DIE0_HT2_Lo_Hostmode 有效时为双向信号， 当 DIE0_HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT2_Lo_Ldt_reqn	U67	I/O	当 DIE0_HT2_8x2 无效时为 DIE0_HT2 总线 Ldt_Reqn 信号， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE0_HT2_Hi_PowerOK	P70	I/O	当 DIE0_HT2_8x2 无效时该信号无效， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Hi 总线 PowerOK 信号。 当 DIE0_HT2_Hi_Hostmode 有效时为双向信号， 当 DIE0_HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT2_Hi_Rstn	T70	I/O	当 DIE0_HT2_8x2 无效时该信号无效， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Hi 总线 Rstn 信号。 当 DIE0_HT2_Hi_Hostmode 有效时为双向信号， 当 DIE0_HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT2_Hi_LDT_Stopn	R69	I/O	当 DIE0_HT2_8x2 无效时该信号无效， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Hi 总线 Ldt_Stopn 信号。 当 DIE0_HT2_Hi_Hostmode 有效时为双向信号， 当 DIE0_HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT2_Hi_LDT_reqn	U69	I/O	当 DIE0_HT2_8x2 无效时该信号无效， 当 DIE0_HT2_8x2 有效时为 DIE0_HT2_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE0_HT2_Tx_CADp[15:0]	G51 G53 G55 G57 G61 G63 G65 G67 K52 K54 K56 K58 K62 K64 K66 K68	O	当 DIE0_HT2_8x2 无效时，该总线为 DIE0_HT2 总线发送数据命令总线， 当 DIE0_HT2_8x2 有效时， [7:0]位为 DIE0_HT2_Lo 总线发送数据命令总线， [15:8]位为 DIE0_HT2_Hi 总线发送数据命令总线。	VDD_HT	无
DIE0_HT2_Tx_CADn[15:0]	H50 H52 H54 H56 H60 H62 H64 H66 L53 L55	O	当 DIE0_HT2_8x2 无效时，该总线为 DIE0_HT2 总线发送数据命令总线， 当 DIE0_HT2_8x2 有效时， [7:0]位为 DIE0_HT2_Lo 总线发送数据命令总线， [15:8]位为 DIE0_HT2_Hi 总线发送数据命令总线。	VDD_HT	无

	L57 L59 L63 L65 L67 L69				
DIE0_HT2_Tx_CTLp[1:0]	G69 K50	O	当 DIE0_HT2_8x2 无效时, 为 DIE0_HT2 总线发送控制信号, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线发送控制信号, [1]位为 DIE0_HT2_Hi 总线发送控制信号。	VDD_HT	无
DIE0_HT2_Tx_CTLn[1:0]	H68 L51	O	当 DIE0_HT2_8x2 无效时, 为 DIE0_HT2 总线发送控制信号, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线发送控制信号, [1]位为 DIE0_HT2_Hi 总线发送控制信号。	VDD_HT	无
DIE0_HT2_Tx_CLKp[1:0]	G59 K60	O	当 DIE0_HT2_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线发送时钟信号, [1]位为 DIE0_HT2_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT2_Tx_CLKn[1:0]	H58 L61	O	当 DIE0_HT2_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线发送时钟信号, [1]位为 DIE0_HT2_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT2_Rx_CADp[15:0]	E51 E53 E55 E57 E61 E63 E65 E67 B50 B52 B54 B56 B60 B62 B64 B66	I	当 DIE0_HT2_8x2 无效时, 该总线为 DIE0_HT2 总线接收数据命令总线, 当 DIE0_HT2_8x2 有效时, [7:0]位为 DIE0_HT2_Lo 总线接收数据命令总线, [15:8]位为 DIE0_HT2_Hi 总线接收数据命令总线。	VDD_HT	无
DIE0_HT2_Rx_CADn[15:0]	D50 D52 D54 D56 D60 D62 D64 D66 A49 A51 A53 A55 A59	I	当 DIE0_HT2_8x2 无效时, 该总线为 DIE0_HT2 总线接收数据命令总线, 当 DIE0_HT2_8x2 有效时, [7:0]位为 DIE0_HT2_Lo 总线接收数据命令总线, [15:8]位为 DIE0_HT2_Hi 总线接收数据命令总线。	VDD_HT	无

	A61 A63 A65				
DIE0_HT2_Rx_CTLp[1:0]	E69 B48	I	当 DIE0_HT2_8x2 无效时, 为 DIE0_HT2 总线接收控制信号, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线接收控制信号, [1]位为 DIE0_HT2_Hi 总线接收控制信号。	VDD_HT	无
DIE0_HT2_Rx_CTLn[1:0]	D68 A47	I	当 DIE0_HT2_8x2 无效时, 为 DIE0_HT2 总线接收控制信号, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线接收控制信号, [1]位为 DIE0_HT2_Hi 总线接收控制信号。	VDD_HT	无
DIE0_HT2_Rx_CLKp[1:0]	E59 B58	I	当 DIE0_HT2_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线发送时钟信号, [1]位为 DIE0_HT2_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT2_Rx_CLKn[1:0]	D58 A57	I	当 DIE0_HT2_8x2 无效时, 该总线为 HT0 总线接收时钟总线, 当 DIE0_HT2_8x2 有效时, [0]位为 DIE0_HT2_Lo 总线接收时钟信号, [1]位为 DIE0_HT2_Hi 总线接收时钟信号。	VDD_HT	无
DIE0_HT2_REXT	V70	I	Die0 HT2 通道外部参考电阻, 需要外接 800 欧姆电阻到 GND		
DIE0_HT3 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_HT3_8x2	P38	I	为 1 时有效, 表示将 DIE0_HT3 分为 Lo 与 Hi 分别使用 为 0 时无效, 表示将 DIE0_HT3 作为 16 位总线使用	VDDE_IO	下拉
DIE0_HT3_Lo_PowerOK	P36	I/O	当 DIE0_HT3_8x2 无效时为 DIE0_HT3 总线 PowerOK 信号, 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Lo 总线 PowerOK 信号。 当 DIE0_HT3_Lo_Hostmode 有效时为双向信号, 当 DIE0_HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT3_Lo_Rstn	R37	I/O	当 DIE0_HT3_8x2 无效时为 DIE0_HT3 总线 Resetn 信号, 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Lo 总线 Resetn 信号。 当 DIE0_HT3_Lo_Hostmode 有效时为双向信号, 当 DIE0_HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT3_Lo_Ldt_Stopn	R39	I/O	当 DIE0_HT3_8x2 无效时为 DIE0_HT3 总线 Ldt_Stopn 信号, 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Lo 总线 Ldt_Stopn 信号。	VDDE_IO	上拉

			当 DIE0_HT3_Lo_Hostmode 有效时为双向信号， 当 DIE0_HT3_Lo_Hostmode 无效时为输入信号。		
DIE0_HT3_Lo_Ldt_reqn	U39	I/O	当 DIE0_HT3_8x2 无效时为 DIE0_HT3 总线 Ldt_Reqn 信号， 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE0_HT3_Hi_PowerOK	V40	I/O	当 DIE0_HT3_8x2 无效时该信号无效， 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Hi 总线 PowerOK 信号。 当 DIE0_HT3_Hi_Hostmode 有效时为双向信号， 当 DIE0_HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT3_Hi_Rstn	P40	I/O	当 DIE0_HT3_8x2 无效时该信号无效， 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Hi 总线 Rstn 信号。 当 DIE0_HT3_Hi_Hostmode 有效时为双向信号， 当 DIE0_HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT3_Hi_LDT_Stopn	T38	I/O	当 DIE0_HT3_8x2 无效时该信号无效， 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Hi 总线 Ldt_Stopn 信号。 当 DIE0_HT3_Hi_Hostmode 有效时为双向信号， 当 DIE0_HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE0_HT3_Hi_LDT_reqn	T40	I/O	当 DIE0_HT3_8x2 无效时该信号无效， 当 DIE0_HT3_8x2 有效时为 DIE0_HT3_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE0_HT3_Tx_CADp[15:0]	L1 L3 L5 L7 L11 L13 L15 L17 L23 L25 L27 L29 L33 L35 L37 L39	O	当 DIE0_HT3_8x2 无效时，该总线为 DIE0_HT3 总线发送数据命令总线， 当 DIE0_HT3_8x2 有效时， [7:0]位为 DIE0_HT3_Lo 总线发送数据命令总线， [15:8]位为 DIE0_HT3_Hi 总线发送数据命令总线。	VDD_HT	无
DIE0_HT3_Tx_CADn[15:0]	K2 K4 K6 K8 K12 K14 K16 K18 K24 K26 K28 K30 K34 K36	O	当 DIE0_HT3_8x2 无效时，该总线为 DIE0_HT3 总线发送数据命令总线， 当 DIE0_HT3_8x2 有效时， [7:0]位为 DIE0_HT3_Lo 总线发送数据命令总线， [15:8]位为 DIE0_HT3_Hi 总线发送数据命令总线。	VDD_HT	无

	K38 K40				
DIE0_HT3_Tx_CTLp[1:0]	L19 L21	O	当 DIE0_HT3_8x2 无效时, 为 DIE0_HT3 总线发送控制信号, 当 DIE0_HT3_8x2 有效时, [0]位为 DIE0_HT3_Lo 总线发送控制信号, [1]位为 DIE0_HT3_Hi 总线发送控制信号。	VDD_HT	无
DIE0_HT3_Tx_CTLn[1:0]	K20 K22	O	当 DIE0_HT3_8x2 无效时, 为 DIE0_HT3 总线发送控制信号, 当 DIE0_HT3_8x2 有效时, [0]位为 DIE0_HT3_Lo 总线发送控制信号, [1]位为 DIE0_HT3_Hi 总线发送控制信号。	VDD_HT	无
DIE0_HT3_Tx_CLKp[1:0]	L9 L31	O	当 DIE0_HT3_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 DIE0_HT3_8x2 有效时, [0]位为 DIE0_HT3_Lo 总线发送时钟信号, [1]位为 DIE0_HT3_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT3_Tx_CLKn[1:0]	K10 K32	O	当 DIE0_HT3_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 DIE0_HT3_8x2 有效时, [0]位为 DIE0_HT3_Lo 总线发送时钟信号, [1]位为 DIE0_HT3_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT3_Rx_CADp[15:0]	B42 B40 B38 B36 B32 B30 B28 B26 B20 B18 B16 B14 B10 B8 B6 B4	I	当 DIE0_HT3_8x2 无效时, 该总线为 DIE0_HT3 总线接收数据命令总线, 当 DIE0_HT3_8x2 有效时, [7:0]位为 DIE0_HT3_Lo 总线接收数据命令总线, [15:8]位为 DIE0_HT3_Hi 总线接收数据命令总线。	VDD_HT	无
DIE0_HT3_Rx_CADn[15:0]	A43 A41 A39 A37 A33 A31 A29 A27 A21 A19 A17 A15 A11 A9 A7 A5	I	当 DIE0_HT3_8x2 无效时, 该总线为 DIE0_HT3 总线接收数据命令总线, 当 DIE0_HT3_8x2 有效时, [7:0]位为 DIE0_HT3_Lo 总线接收数据命令总线, [15:8]位为 DIE0_HT3_Hi 总线接收数据命令总线。	VDD_HT	无
DIE0_HT3_Rx_CTLp[1:0]	B24	I	当 DIE0_HT3_8x2 无效时, 为 DIE0_HT3 总	VDD_HT	无

	B22		线接收控制信号， 当 DIE0_HT3_8x2 有效时， [0]位为 DIE0_HT3_Lo 总线接收控制信号， [1]位为 DIE0_HT3_Hi 总线接收控制信号。		
DIE0_HT3_Rx_CTLn[1:0]	A25 A23	I	当 DIE0_HT3_8x2 无效时，为 DIE0_HT3 总线接收控制信号， 当 DIE0_HT3_8x2 有效时， [0]位为 DIE0_HT3_Lo 总线接收控制信号， [1]位为 DIE0_HT3_Hi 总线接收控制信号。	VDD_HT	无
DIE0_HT3_Rx_CLKp[1:0]	B34 B12	I	当 DIE0_HT3_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE0_HT3_8x2 有效时， [0]位为 DIE0_HT3_Lo 总线发送时钟信号， [1]位为 DIE0_HT3_Hi 总线发送时钟信号。	VDD_HT	无
DIE0_HT3_Rx_CLKn[1:0]	A35 A13	I	当 DIE0_HT3_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 DIE0_HT3_8x2 有效时， [0]位为 DIE0_HT3_Lo 总线接收时钟信号， [1]位为 DIE0_HT3_Hi 总线接收时钟信号。	VDD_HT	无
DIE0_HT3_REXT	R41	I	Die0 HT3 通道外部参考电阻，需要外接 800 欧姆电阻到 GND		
DIE1_HT2 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE1_HT2_8x2	W75	I	为 1 时有效，表示将 DIE1_HT2 分为 Lo 与 Hi 分别使用 为 0 时无效，表示将 DIE1_HT2 作为 16 位总线使用	VDDE_IO	下拉
DIE1_HT2_Lo_PowerOK	Y82	I/O	当 DIE1_HT2_8x2 无效时为 DIE1_HT2 总线 PowerOK 信号， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Lo 总线 PowerOK 信号。 当 DIE1_HT2_Lo_Hostmode 有效时为双向信号， 当 DIE1_HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT2_Lo_Rstn	W77	I/O	当 DIE1_HT2_8x2 无效时为 DIE1_HT2 总线 Resetn 信号， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Lo 总线 Resetn 信号。 当 DIE1_HT2_Lo_Hostmode 有效时为双向信号， 当 DIE1_HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT2_Lo_Ldt_Stopn	U77	I/O	当 DIE1_HT2_8x2 无效时为 DIE1_HT2 总线 Ldt_Stopn 信号， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Lo 总线 Ldt_Stopn 信号。 当 DIE1_HT2_Lo_Hostmode 有效时为双向信号， 当 DIE1_HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉

DIE1_HT2_Lo_Ldt_reqn	V80	I/O	当 DIE1_HT2_8x2 无效时为 DIE1_HT2 总线 Ldt_Reqn 信号， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE1_HT2_Hi_PowerOK	Y80	I/O	当 DIE1_HT2_8x2 无效时该信号无效， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Hi 总线 PowerOK 信号。 当 DIE1_HT2_Hi_Hostmode 有效时为双向信号， 当 DIE1_HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT2_Hi_Rstn	W79	I/O	当 DIE1_HT2_8x2 无效时该信号无效， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Hi 总线 Rstn 信号。 当 DIE1_HT2_Hi_Hostmode 有效时为双向信号， 当 DIE1_HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT2_Hi_LDT_Stopn	V78	I/O	当 DIE1_HT2_8x2 无效时该信号无效， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Hi 总线 Ldt_Stopn 信号。 当 DIE1_HT2_Hi_Hostmode 有效时为双向信号， 当 DIE1_HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT2_Hi_LDT_reqn	U79	I/O	当 DIE1_HT2_8x2 无效时该信号无效， 当 DIE1_HT2_8x2 有效时为 DIE1_HT2_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE1_HT2_Tx_CADp[15:0]	D110 D108 D106 D104 D100 D98 D96 D94 D88 D86 D84 D82 D78 D76 D74 D72	O	当 DIE1_HT2_8x2 无效时，该总线为 DIE1_HT2 总线发送数据命令总线， 当 DIE1_HT2_8x2 有效时， [7:0]位为 DIE1_HT2_Lo 总线发送数据命令总线， [15:8]位为 DIE1_HT2_Hi 总线发送数据命令总线。	VDD_HT	无
DIE1_HT2_Tx_CADn[15:0]	E111 E109 E107 E105 E101 E99 E97 E95 E89 E87 E85 E83 E79 E77 E75 E73	O	当 DIE1_HT2_8x2 无效时，该总线为 DIE1_HT2 总线发送数据命令总线， 当 DIE1_HT2_8x2 有效时， [7:0]位为 DIE1_HT2_Lo 总线发送数据命令总线， [15:8]位为 DIE1_HT2_Hi 总线发送数据命令总线。	VDD_HT	无
DIE1_HT2_Tx_CTLp[1:0]	D92 D90	O	当 DIE1_HT2_8x2 无效时，为 DIE1_HT2 总线发送控制信号， 当 DIE1_HT2_8x2 有效时，	VDD_HT	无

			[0]位为 DIE1_HT2_Lo 总线发送控制信号， [1]位为 DIE1_HT2_Hi 总线发送控制信号。		
DIE1_HT2_Tx_CTLn[1:0]	E93 E91	O	当 DIE1_HT2_8x2 无效时，为 DIE1_HT2 总线发送控制信号， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线发送控制信号， [1]位为 DIE1_HT2_Hi 总线发送控制信号。	VDD_HT	无
DIE1_HT2_Tx_CLKp[1:0]	D102 D80	O	当 DIE1_HT2_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线发送时钟信号， [1]位为 DIE1_HT2_Hi 总线发送时钟信号。	VDD_HT	无
DIE1_HT2_Tx_CLKn[1:0]	E103 E81	O	当 DIE1_HT2_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线发送时钟信号， [1]位为 DIE1_HT2_Hi 总线发送时钟信号。	VDD_HT	无
DIE1_HT2_Rx_CADp[15:0]	L73 L75 L77 L79 L83 L85 L87 L89 L95 L97 L99 L101 L105 L107 L109 L111	I	当 DIE1_HT2_8x2 无效时，该总线为 DIE1_HT2 总线接收数据命令总线， 当 DIE1_HT2_8x2 有效时， [7:0]位为 DIE1_HT2_Lo 总线接收数据命令总线， [15:8]位为 DIE1_HT2_Hi 总线接收数据命令总线。	VDD_HT	无
DIE1_HT2_Rx_CADn[15:0]	K72 K74 K76 K78 K82 K84 K86 K88 K94 K96 K98 K100 K104 K106 K108 K110	I	当 DIE1_HT2_8x2 无效时，该总线为 DIE1_HT2 总线接收数据命令总线， 当 DIE1_HT2_8x2 有效时， [7:0]位为 DIE1_HT2_Lo 总线接收数据命令总线， [15:8]位为 DIE1_HT2_Hi 总线接收数据命令总线。	VDD_HT	无
DIE1_HT2_Rx_CTLp[1:0]	L91 L93	I	当 DIE1_HT2_8x2 无效时，为 DIE1_HT2 总线接收控制信号， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线接收控制信号， [1]位为 DIE1_HT2_Hi 总线接收控制信号。	VDD_HT	无

			号。		
DIE1_HT2_Rx_CTLn[1:0]	K90 K92	I	当 DIE1_HT2_8x2 无效时，为 DIE1_HT2 总线接收控制信号， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线接收控制信号， [1]位为 DIE1_HT2_Hi 总线接收控制信号。	VDD_HT	无
DIE1_HT2_Rx_CLKp[1:0]	L81 L103	I	当 DIE1_HT2_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线发送时钟信号， [1]位为 DIE1_HT2_Hi 总线发送时钟信号。	VDD_HT	无
DIE1_HT2_Rx_CLKn[1:0]	K80 K102	I	当 DIE1_HT2_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 DIE1_HT2_8x2 有效时， [0]位为 DIE1_HT2_Lo 总线接收时钟信号， [1]位为 DIE1_HT2_Hi 总线接收时钟信号。	VDD_HT	无
DIE1_HT1_REXT	V30	I	Die1 HT2 通道外部参考电阻，需要外接 800 欧姆电阻到 GND		
DIE1_HT3 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE1_HT3_8x2	R33	I	为 1 时有效，表示将 DIE1_HT3 分为 Lo 与 Hi 分别使用 为 0 时无效，表示将 DIE1_HT3 作为 16 位总线使用	VDDE_IO	下拉
DIE1_HT3_Lo_PowerOK	P34	I/O	当 DIE1_HT3_8x2 无效时为 DIE1_HT3 总线 PowerOK 信号， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Lo 总线 PowerOK 信号。 当 DIE1_HT3_Lo_Hostmode 有效时为双向信号， 当 DIE1_HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT3_Lo_Rstn	P32	I/O	当 DIE1_HT3_8x2 无效时为 DIE1_HT3 总线 Rstn 信号， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Lo 总线 Rstn 信号。 当 DIE1_HT3_Lo_Hostmode 有效时为双向信号， 当 DIE1_HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT3_Lo_Ldt_Stopn	U33	I/O	当 DIE1_HT3_8x2 无效时为 DIE1_HT3 总线 Ldt_Stopn 信号， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Lo 总线 Ldt_Stopn 信号。 当 DIE1_HT3_Lo_Hostmode 有效时为双向信号， 当 DIE1_HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT3_Lo_Ldt_reqn	V32	I/O	当 DIE1_HT3_8x2 无效时为 DIE1_HT3 总线 Ldt_Reqn 信号， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE1_HT3_Hi_PowerOK	T34	I/O	当 DIE1_HT3_8x2 无效时该信号无效，	VDDE_IO	上拉

			当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Hi 总线 PowerOK 信号。 当 DIE1_HT3_Hi_Hostmode 有效时为双向信号， 当 DIE1_HT3_Hi_Hostmode 无效时为输入信号。		
DIE1_HT3_Hi_Rstn	U31	I/O	当 DIE1_HT3_8x2 无效时该信号无效， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Hi 总线 Resetn 信号。 当 DIE1_HT3_Hi_Hostmode 有效时为双向信号， 当 DIE1_HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT3_Hi_LDT_Stopn	T30	I/O	当 DIE1_HT3_8x2 无效时该信号无效， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Hi 总线 Ldt_Stopn 信号。 当 DIE1_HT3_Hi_Hostmode 有效时为双向信号， 当 DIE1_HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
DIE1_HT3_Hi_LDT_reqn	V34	I/O	当 DIE1_HT3_8x2 无效时该信号无效， 当 DIE1_HT3_8x2 有效时为 DIE1_HT3_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
DIE1_HT3_Tx_CADp[15:0]	H2 H4 H6 H8 H12 H14 H16 H18 H24 H26 H28 H30 H34 H36 H38 H40	O	当 DIE1_HT3_8x2 无效时，该总线为 DIE1_HT3 总线发送数据命令总线， 当 DIE1_HT3_8x2 有效时， [7:0]位为 DIE1_HT3_Lo 总线发送数据命令总线， [15:8]位为 DIE1_HT3_Hi 总线发送数据命令总线。	VDD_HT	无
DIE1_HT3_Tx_CADn[15:0]	G1 G3 G5 G7 G11 G13 G15 G17 G23 G25 G27 G29 G33 G35 G37 G39	O	当 DIE1_HT3_8x2 无效时，该总线为 DIE1_HT3 总线发送数据命令总线， 当 DIE1_HT3_8x2 有效时， [7:0]位为 DIE1_HT3_Lo 总线发送数据命令总线， [15:8]位为 DIE1_HT3_Hi 总线发送数据命令总线。	VDD_HT	无
DIE1_HT3_Tx_CTLp[1:0]	H20 H22	O	当 DIE1_HT3_8x2 无效时，为 DIE1_HT3 总线发送控制信号， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线发送控制信号， [1]位为 DIE1_HT3_Hi 总线发送控制信号。	VDD_HT	无
DIE1_HT3_Tx_CTLn[1:0]	G19	O	当 DIE1_HT3_8x2 无效时，为 DIE1_HT3 总线发送控制信号。	VDD_HT	无

	G21		线发送控制信号， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线发送控制信号， [1]位为 DIE1_HT3_Hi 总线发送控制信号。		
DIE1_HT3_Tx_CLKp[1:0]	H10 H32	O	当 DIE1_HT3_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线发送时钟信号， [1]位为 DIE1_HT3_Hi 总线发送时钟信号。	VDD_HT	无
DIE1_HT3_Tx_CLKn[1:0]	G9 G31	O	当 DIE1_HT3_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线发送时钟信号， [1]位为 DIE1_HT3_Hi 总线发送时钟信号。	VDD_HT	无
DIE1_HT3_Rx_CADp[15:0]	D40 D38 D36 D34 D30 D28 D26 D24 D18 D16 D14 D12 D8 D6 D4 D2	I	当 DIE1_HT3_8x2 无效时，该总线为 DIE1_HT3 总线接收数据命令总线， 当 DIE1_HT3_8x2 有效时， [7:0]位为 DIE1_HT3_Lo 总线接收数据命令总线， [15:8]位为 DIE1_HT3_Hi 总线接收数据命令总线。	VDD_HT	无
DIE1_HT3_Rx_CADn[15:0]	E39 E37 E35 E33 E29 E27 E25 E23 E17 E15 E13 E11 E7 E5 E3 E1	I	当 DIE1_HT3_8x2 无效时，该总线为 DIE1_HT3 总线接收数据命令总线， 当 DIE1_HT3_8x2 有效时， [7:0]位为 DIE1_HT3_Lo 总线接收数据命令总线， [15:8]位为 DIE1_HT3_Hi 总线接收数据命令总线。	VDD_HT	无
DIE1_HT3_Rx_CTLp[1:0]	D22 D20	I	当 DIE1_HT3_8x2 无效时，为 DIE1_HT3 总线接收控制信号， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线接收控制信号， [1]位为 DIE1_HT3_Hi 总线接收控制信号。	VDD_HT	无
DIE1_HT3_Rx_CTLn[1:0]	E21 E19	I	当 DIE1_HT3_8x2 无效时，为 DIE1_HT3 总线接收控制信号， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线接收控制信	VDD_HT	无

			号， [1]位为 DIE1_HT3_Hi 总线接收控制信号。		
DIE1_HT3_Rx_CLKp[1:0]	D32 D10	I	当 DIE1_HT3_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线发送时钟信号， [1]位为 DIE1_HT3_Hi 总线发送时钟信号。	VDD_HT	无
DIE1_HT3_Rx_CLKn[1:0]	E31 E9	I	当 DIE1_HT3_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 DIE1_HT3_8x2 有效时， [0]位为 DIE1_HT3_Lo 总线接收时钟信号， [1]位为 DIE1_HT3_Hi 总线接收时钟信号。	VDD_HT	无
DIE1_HT3_REXT	W33	I	Die1 HT3 通道外部参考电阻，需要外接 800 欧姆电阻到 GND		

2.3.2 DDR 接口信号

龙芯 3D5000 集成了标准的 DDR4 SDRAM 内存控制器，最高速率 DDR4-3200，可支持各种 DDR4 内存形态（包括内存颗粒、UDIMM、RDIMM、LR-DIMM）。该内存控制器接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 路数据掩码或高位数据选通差分信号（包括 ECC 等）；
- 18 位地址总线信号；
- 2 位逻辑 bank 信号；
- 2 位逻辑 bank 组信号；
- 8 位物理片选信号；
- 4 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT (On Die Termination) 信号；
- 1 位复位控制信号。

DDR 接口不使用时可以悬空。表 2.3 是龙芯 3D5000 每一组内存控制器接口信号，共有四组。

表 2.3 DDR4 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_MC0_DQ[63:0]	P94	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	R93				
	V96				
	V92				
	P92				
	P96				
	U97				
	U95				
	Y86				
	AA85				
	AD88				
	AD86				
	Y88				
	Y90				
	AC89				
	AD90				
	AF94				
	AG93				
	AK96				
	AK92				
	AF92				
	AF96				
	AJ97				
	AJ95				
	AM94				
	AN93				
	AT96				
	AT92				
	AM92				
	AM96				
	AR97				
	AR95				
	CK94				
	CL93				
	CP96				
	CP94				
	CK92				
	CK96				
	CN97				
	CN95				
	CJ83				
	CJ81				
	CM80				
	CM78				
	CH82				
	CH80				
	CM82				
	CN81				
	CP76				
	CR75				
	CP74				
	CR73				
	CP78				
	CR77				
	CT74				
	CU73				
	CL75				
	CL73				
	CH72				
	CH74				
	CM76				
	CM74				
	CJ75				
	CH76				
DIE0_MC0_CB[7:0]	CD94 CE93	I/O	数据总线 ECC 信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CH96 CH92 CD92 CD96 CG97 CG95				
DIE0_MC0_DQSp[8:0]	CE97 R97 AA89 AG97 AN97 CL97 CK82 CT78 CK76	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE0_MC0_DQSn[17:0]	CF94 T94 AB86 AH94 AP94 CM94 CL83 CT76 CJ73 CE95 R95 AB88 AG95 AN95 CL95 CK80 CU77 CK74	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE0_MC0_DM[8:0] / DIE0_MC0_DQSp[17:9]	CF92 T92 AC85 AH92 AP92 CM92 CL81 CU75 CJ71	O	数据屏蔽 DM0-8（包括 ECC） 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE0_MC0_A[13:0]	BC93 BV92 BU95 BG97 BV94 BT94 BU97 BT96 BT92 BR97 BR95 BP92 BP94 BH94	O	地址总线信号	VDDIO_DDR	无
DIE0_MC0_A17	BA95	O	地址总线信号	VDDIO_DDR	无
DIE0_MC0_BA[1:0]	BH92 BG95	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE0_MC0_BG[1:0]	BW95 BY92	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE0_MC0_WEn	BE97	O	写使能信号，A14	VDDIO_DDR	无
DIE0_MC0_CASn	BD96	O	列地址选择信号，A15	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_MC0_RASn	BF94	O	行地址选择信号, A16	VDDIO_DDR	无
DIE0_MC0_SCSn[7:0]	AV94 AW97 BD92 BF92 AV96 AV92 BA93 BE95	O	片选信号	VDDIO_DDR	无
DIE0_MC0_CKE[3:0]	CA95 CA97 BY94 CB94	O	时钟使能信号	VDDIO_DDR	无
DIE0_MC0_CKp[3:0]	BM94 BN97 BL97 BK94	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC0_CKn[3:0]	BM92 BN95 BL95 BK92	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC0_ODT[3:0]	AY92 BD94 AW95 BC95	O	ODT 信号	VDDIO_DDR	无
DIE0_MC0_Resetn	BJ97	O	复位控制信号	VDDIO_DDR	无
DIE0_MC0_ACTn	BY96	O	激活命令信号	VDDIO_DDR	无
DIE0_MC0_PAR	BJ95	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE0_MC0_ALERTn	BW97	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
DIE0_MC0_CID2	AY94	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE0_MC0_REXT	CB92	A	参考电阻	VDDIO_DDR	无
DIE0_MC1_DQ[63:0]	P86 R85 V88 V86 P88 P90 U89 V90 Y94 AA93 AD96 AD92 Y92 Y96 AC97 AC95 AF86 AG85 AK88 AK86 AF88 AF90 AJ89 AK90 AM86 AN85 AT88 AT86 AM88 AM90	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AR89 AT90 CK86 CL85 CP90 CP88 CK88 CK90 CM86 CN85 CR83 CT84 CY82 CY80 CP84 CR85 CW83 CW81 CY78 CY76 CW75 CW73 CV78 CW77 CY74 DA73 CN71 CN69 CJ69 CJ67 CR71 CP70 CK70 CK68				
DIE0_MC1_CB[7:0]	CE85 CE87 CH90 CH86 CD86 CD90 CG89 CG87	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE0_MC1_DQSp[8:0]	CE89 R89 AA97 AG89 AN89 CL89 CT82 DB78 CM70	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE0_MC1_DQSn[17:0]	CF86 T86 AB94 AH86 AP86 CM90 CU81 DA75 CM68 CF90 T88 AA95 AH88 AP88	I/O	数据选通（包括 ECC）	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CL87 CU83 DA77 CL71				
DIE0_MC1_DM[8:0] / DIE0_MC1_DQSp[17:9]	CG85 U85 AB92 AJ85 AR85 CN89 CV82 DB74 CL67	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE0_MC1_A[13:0]	BC87 BV86 BU85 BG89 BV88 BT88 BU89 BT90 BT86 BR89 BR85 BP86 BP88 BH88	O	地址总线信号	VDDIO_DDR	无
DIE0_MC1_A17	BA85	O	地址总线信号	VDDIO_DDR	无
DIE0_MC1_BA[1:0]	BH86 BG85	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE0_MC1_BG[1:0]	BW85 BY90	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE0_MC1_WEn	BE89	O	写使能信号, A14	VDDIO_DDR	无
DIE0_MC1_CASn	BD90	O	列地址选择信号, A15	VDDIO_DDR	无
DIE0_MC1_RASn	BF88	O	行地址选择信号, A16	VDDIO_DDR	无
DIE0_MC1_SCSn[7:0]	AV90 AW89 BC85 BF86 AV88 AV86 BA87 BE85	O	片选信号	VDDIO_DDR	无
DIE0_MC1_CKE[3:0]	CB88 BY86 CA85 CA89	O	时钟使能信号	VDDIO_DDR	无
DIE0_MC1_CKp[3:0]	BN89 BM86 BL89 BK86	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC1_CKn[3:0]	BN87 BM84 BL87 BK84	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC1_ODT[3:0]	AY88 BD88 AW85 BD86	O	ODT 信号	VDDIO_DDR	无
DIE0_MC1_Resetn	BJ89	O	复位控制信号	VDDIO_DDR	无
DIE0_MC1_ACTn	BY88	O	激活命令信号	VDDIO_DDR	无
DIE0_MC1_PAR	BJ85	O	命令与地址奇偶校验值	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_MC1_ALERTn	BW89	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	无
DIE0_MC1_CID2	AY86	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE0_MC1_REXT	CB86	A	参考电阻	VDDIO_DDR	无
DIE0_MC2_DQ[63:0]	P26 R27 V24 V26 P24 P22 U23 V22 Y18 AA19 AD16 AD20 Y20 Y16 AC15 AC17 AF26 AG27 AK24 AK26 AF24 AF22 AJ23 AK22 AM26 AN27 AT24 AT26 AM24 AM22 AR23 AT22 CK26 CL27 CP22 CP24 CK24 CK22 CM26 CN27 CR29 CT28 CY30 CY32 CP28 CR27 CW29 CW31 CY34 CY36 CW37 CW39 CV34 CW35 CY38 DA39 CN41 CN43 CJ43 CJ45	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CR41 CP42 CK42 CK44				
DIE0_MC2_CB[7:0]	CE27 CE25 CH22 CH26 CD26 CD22 CG23 CG25	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE0_MC2_DQSp[8:0]	CE23 R23 AA15 AG23 AN23 CL23 CT30 DB34 CM42	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
DIE0_MC2_DQSn[17:0]	CF26 T26 AB18 AH26 AP26 CM22 CU31 DA37 CM44 CF22 T24 AA17 AH24 AP24 CL25 CU29 DA35 CL43	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
DIE0_MC2_DM[8:0] / DIE0_MC2_DQSp[17:9]	CG27 U27 AB20 AJ27 AR27 CN23 CV30 DB38 CL45	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE0_MC2_A[13:0]	BC25 BV26 BU27 BG23 BV24 BT24 BU23 BT22 BT26 BR23 BR27 BP26 BP24 BH24	O	地址总线信号	VDDIO_DDR	无
DIE0_MC2_A17	BA27	O	地址总线信号	VDDIO_DDR	无
DIE0_MC2_BA[1:0]	BH26 BG27	O	逻辑 Bank 地址信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_MC2_BG[1:0]	BW27 BY22	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE0_MC2_WEn	BE23	O	写使能信号, A14	VDDIO_DDR	无
DIE0_MC2_CASn	BD22	O	列地址选择信号, A15	VDDIO_DDR	无
DIE0_MC2_RASn	BF24	O	行地址选择信号, A16	VDDIO_DDR	无
DIE0_MC2_SCSn[7:0]	AV22 AW23 BC27 BF26 AV26 AV24 BA25 BE27	O	片选信号	VDDIO_DDR	无
DIE0_MC2_CKE[3:0]	CB24 CA23 CA27 BY26	O	时钟使能信号	VDDIO_DDR	无
DIE0_MC2_CKp[3:0]	BM26 BN23 BK26 BL23	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC2_CKn[3:0]	BM28 BN25 BK28 BL25	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC2_ODT[3:0]	AY24 BD24 AW27 BD26	O	ODT 信号	VDDIO_DDR	无
DIE0_MC2_Resetn	BJ23	O	复位控制信号	VDDIO_DDR	无
DIE0_MC2_ACTn	BY24	O	激活命令信号	VDDIO_DDR	无
DIE0_MC2_PAR	BJ27	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE0_MC2_ALERTn	BW23	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
DIE0_MC2_CID2	AY26	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE0_MC2_REXT	CB26	A	参考电阻	VDDIO_DDR	无
DIE0_MC3_DQ[63:0]	P18 R19 V16 V20 P20 P16 U15 U17 Y26 AA27 AD24 AD26 Y24 Y22 AC23 AD22 AF18 AG19 AK16 AK20 AF20 AF16 AJ15 AJ17 AM18 AN19	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AT16 AT20 AM20 AM16 AR15 AR17 CK18 CL19 CP16 CP18 CK20 CK16 CN15 CN17 CJ29 CJ31 CM32 CM34 CH30 CH32 CM30 CN31 CP36 CR37 CP38 CR39 CP34 CR35 CT38 CU39 CL37 CL39 CH40 CH38 CM36 CM38 CJ37 CH36				
DIE0_MC3_CB[7:0]	CD18 CE19 CH16 CH20 CD20 CD16 CG15 CG17	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE0_MC3_DQSp[8:0]	CE15 R15 AA23 AG15 AN15 CL15 CK30 CT34 CK36	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE0_MC3_DQSn[17:0]	CF18 T18 AB26 AH18 AP18 CM18 CL29 CT36 CK40 CE17	I/O	数据选通（包括 ECC）	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	R17 AB24 AG17 AN17 CL17 CK32 CU35 CK38				
DIE0_MC3_DM[8:0] / DIE0_MC3_DQSp[17:9]	CF20 T20 AC27 AH20 AP20 CM20 CL31 CU37 CJ39	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE0_MC3_A[13:0]	BC19 BV20 BU17 BG15 BV18 BT18 BU15 BT16 BT20 BR15 BR17 BP20 BP18 BH18	O	地址总线信号	VDDIO_DDR	无
DIE0_MC3_A17	BA17	O	地址总线信号	VDDIO_DDR	无
DIE0_MC3_BA[1:0]	BH20 BG17	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE0_MC3_BG[1:0]	BW17 BY18	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE0_MC3_WEn	BE15	O	写使能信号, A14	VDDIO_DDR	无
DIE0_MC3_CASn	BD16	O	列地址选择信号, A15	VDDIO_DDR	无
DIE0_MC3_RASn	BF18	O	行地址选择信号, A16	VDDIO_DDR	无
DIE0_MC3_SCSn[7:0]	AV18 AV20 BD20 BF20 AV16 AW15 BA19 BE17	O	片选信号	VDDIO_DDR	无
DIE0_MC3_CKE[3:0]	CA17 BY20 CB18 CA15	O	时钟使能信号	VDDIO_DDR	无
DIE0_MC3_CKp[3:0]	BM18 BN15 BK18 BL15	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC3_CKn[3:0]	BM20 BN17 BK20 BL17	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE0_MC3_ODT[3:0]	AY20 BD18 AW17 BC17	O	ODT 信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE0_MC3_Resetn	BJ15	O	复位控制信号	VDDIO_DDR	无
DIE0_MC3_ACTn	BY16	O	激活命令信号	VDDIO_DDR	无
DIE0_MC3_PAR	BJ17	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE0_MC3_ALERTn	BW15	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	无
DIE0_MC3_CID2	AY18	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE0_MC3_REXT	CB20	A	参考电阻	VDDIO_DDR	无
DIE1_MC0_DQ[63:0]	R107 R109 V110 V106 P106 P110 U111 U109 AA107 AA109 AD106 AD110 Y106 Y110 AC111 AC109 AG107 AG109 AK110 AK106 AF106 AF110 AJ111 AJ109 AN107 AN109 AT106 AT110 AM106 AM110 AR111 AR109 CL107 CL109 CP110 CP106 CK106 CK110 CN111 CN109 CU107 CU109 CY110 CY106 CT106 CT110 CW111 CW109 DB106 DC105 DB96 DC95 DB108 DC107 DC99 DB98	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	DB90 DC89 DC81 DB80 DC93 DB92 DC83 DB82				
DIE1_MC0_CB[7:0]	CE107 CE109 CH110 CH106 CD106 CD110 CG111 CG109	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE1_MC0_DQSp[8:0]	CE111 R111 AA111 AG111 AN111 CL111 CU111 DB104 DB88	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
DIE1_MC0_DQSn[17:0]	CF106 T106 AB106 AH106 AP106 CM106 CV106 DC101 DC85 CF110 T110 AB110 AH110 AP110 CM110 CV110 DC103 DC87	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
DIE1_MC0_DM[8:0] / DIE1_MC0_DQSp[17:9]	CG107 U107 AC107 AJ107 AR107 CN107 CW107 DB100 DB84	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE1_MC0_A[13:0]	BD106 BV106 BU109 BG111 BV108 BT106 BU111 BT108 BT110 BR111 BR107 BP110 BP108	O	地址总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	BH106				
DIE1_MC0_A17	BA109	O	地址总线信号	VDDIO_DDR	无
DIE1_MC0_BA[1:0]	BH108 BG109	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE1_MC0_BG[1:0]	BW109 BY108	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE1_MC0_WEn	BE111	O	写使能信号, A14	VDDIO_DDR	无
DIE1_MC0_CASn	BD110	O	列地址选择信号, A15	VDDIO_DDR	无
DIE1_MC0_RASn	BF108	O	行地址选择信号, A16	VDDIO_DDR	无
DIE1_MC0_SCSn[7:0]	AV108 AW109 BC107 BF106 AV110 AV106 BA107 BE109	O	片选信号	VDDIO_DDR	无
DIE1_MC0_CKE[3:0]	CA109 BY106 CA111 CB108	O	时钟使能信号	VDDIO_DDR	无
DIE1_MC0_CKp[3:0]	BN109 BM106 BL109 BK106	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE1_MC0_CKn[3:0]	BN111 BM108 BL111 BK108	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE1_MC0_ODT[3:0]	AY106 BD108 AW111 BC109	O	ODT 信号	VDDIO_DDR	无
DIE1_MC0_Resetn	CB110	O	复位控制信号	VDDIO_DDR	无
DIE1_MC0_ACTn	BY110	O	激活命令信号	VDDIO_DDR	无
DIE1_MC0_PAR	BJ109	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE1_MC0_ALERTn	BW111	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
DIE1_MC0_CID2	AY108	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE1_MC0_REXT	CB106	A	参考电阻	VDDIO_DDR	无
DIE1_MC1_DQ[63:0]	R101 R103 V104 V100 P100 P104 U103 U101 AA101 AA103 AD104 AD100 Y100 Y104 AC103 AC101 AG101 AG103 AK104 AK100 AF100	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AF104 AJ103 AJ101 AN101 AN103 AT104 AT100 AM100 AM104 AR103 AR101 CL101 CL103 CP104 CP100 CK100 CK104 CN103 CN101 CT100 CU99 CY104 CY102 CT102 CT104 CW103 CW101 CV96 CW97 CU93 CT92 CT96 CU97 CW93 CY92 CV90 CU89 CT90 CT88 CY90 CW89 CU87 CU85				
DIE1_MC1_CB[7:0]	CE101 CE103 CH104 CH100 CD100 CD104 CG103 CG101	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE1_MC1_DQSp[8:0]	CF102 T102 AB102 AH102 AP102 CM102 CU103 CY98 CY86	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE1_MC1_DQSn[17:0]	CF100 T100 AB100 AH100 AP100	I/O	数据选通（包括 ECC）	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CM100 CV102 CU95 CW85 CF104 T104 AB104 AH104 AP104 CM104 CV104 CY96 CW87				
DIE1_MC1_DM[8:0] / DIE1_MC1_DQSp[17:9]	CF98 T98 AB98 AH98 AP98 CM98 CV100 CV94 CV86	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE1_MC1_A[13:0]	BC101 BV100 BU99 BG103 BV102 BT104 BU103 BT102 BT100 BR103 BR99 BP100 BP102 BH102	O	地址总线信号	VDDIO_DDR	无
DIE1_MC1_A17	BA101	O	地址总线信号	VDDIO_DDR	无
DIE1_MC1_BA[1:0]	BH100 BG99	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE1_MC1_BG[1:0]	BW99 BY100	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE1_MC1_WEn	BE103	O	写使能信号, A14	VDDIO_DDR	无
DIE1_MC1_CASn	BD104	O	列地址选择信号, A15	VDDIO_DDR	无
DIE1_MC1_RASn	BF102	O	行地址选择信号, A16	VDDIO_DDR	无
DIE1_MC1_SCSn[7:0]	AV104 AW103 BC99 BF100 AV102 AV100 BA99 BE99	O	片选信号	VDDIO_DDR	无
DIE1_MC1_CKE[3:0]	CB102 CA103 CA99 BY102	O	时钟使能信号	VDDIO_DDR	无
DIE1_MC1_CKp[3:0]	BN103 BM100 BL103 BK100	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE1_MC1_CKn[3:0]	BN101 BM98 BL101	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	BK98				
DIE1_MC1_ODT[3:0]	AY100 BD102 AW99 BD100	O	ODT 信号	VDDIO_DDR	无
DIE1_MC1_Resetn	BJ103	O	复位控制信号	VDDIO_DDR	无
DIE1_MC1_ACTn	BY104	O	激活命令信号	VDDIO_DDR	无
DIE1_MC1_PAR	BJ99	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE1_MC1_ALERTn	BW103	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	无
DIE1_MC1_CID2	AY102	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE1_MC1_REXT	CB100	A	参考电阻	VDDIO_DDR	无
DIE1_MC2_DQ[63:0]	R11 R9 V8 V12 P12 P8 U9 U11 AA11 AA9 AD8 AD12 Y12 Y8 AC9 AC11 AG11 AG9 AK8 AK12 AF12 AF8 AJ9 AJ11 AN11 AN9 AT8 AT12 AM12 AM8 AR9 AR11 CL11 CL9 CP8 CP12 CK12 CK8 CN9 CN11 CT10 CU13 CY8 CY10 CT12 CT8 CW9 CW11 CW15 CV16 CU19	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CT20 CU15 CT16 CW19 CY20 CV22 CU23 CT22 CT24 CY22 CW23 CU25 CU27				
DIE1_MC2_CB[7:0]	CE11 CE9 CH8 CH12 CD12 CD8 CG9 CG11	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE1_MC2_DQSp[8:0]	CF10 T10 AB10 AH10 AP10 CM10 CU9 CY14 CY26	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE1_MC2_DQSn[17:0]	CF12 T12 AB12 AH12 AP12 CM12 CV10 CU17 CW27 CF8 T8 AB8 AH8 AP8 CM8 CV8 CY16 CW25	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE1_MC2_DM[8:0] / DIE1_MC2_DQSp[17:9]	CF14 T14 AB14 AH14 AP14 CM14 CV12 CV18 CV26	O	数据屏蔽 DM0-8（包括 ECC） 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE1_MC2_A[13:0]	BC11 BV12 BU13 BG9 BV10 BT8 BU9 BT10	O	地址总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	BT12 BR9 BR13 BP12 BP10 BH10				
DIE1_MC2_A17	BA11	O	地址总线信号	VDDIO_DDR	无
DIE1_MC2_BA[1:0]	BH12 BG13	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE1_MC2_BG[1:0]	BW13 BY12	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE1_MC2_WEn	BE9	O	写使能信号, A14	VDDIO_DDR	无
DIE1_MC2_CASn	BD8	O	列地址选择信号, A15	VDDIO_DDR	无
DIE1_MC2_RASn	BF10	O	行地址选择信号, A16	VDDIO_DDR	无
DIE1_MC2_SCSn[7:0]	AV8 AW9 BC13 BF12 AV10 AV12 BA13 BE13	O	片选信号	VDDIO_DDR	无
DIE1_MC2_CKE[3:0]	CB10 CA9 CB12 BY10	O	时钟使能信号	VDDIO_DDR	无
DIE1_MC2_CKp[3:0]	BM12 BN9 BK10 BL9	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE1_MC2_CKn[3:0]	BM14 BN11 BK12 BL11	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE1_MC2_ODT[3:0]	AY12 BD10 AW13 BD12	O	ODT 信号	VDDIO_DDR	无
DIE1_MC2_Resetn	BJ9	O	复位控制信号	VDDIO_DDR	无
DIE1_MC2_ACTn	BY8	O	激活命令信号	VDDIO_DDR	无
DIE1_MC2_PAR	BJ13	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE1_MC2_ALERTn	BW9	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
DIE1_MC2_CID2	AY10	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE1_MC2_REXT	CA13	A	参考电阻	VDDIO_DDR	无
DIE1_MC3_DQ[63:0]	R5 R3 V2 V6 P6 P2 U1 U3 AA5 AA3 AD6 AD2 Y6 Y2 AC1 AC3	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	AG5 AG3 AK2 AK6 AF6 AF2 AJ1 AJ3 AN5 AN3 AT6 AT2 AM6 AM2 AR1 AR3 CL5 CL3 CP2 CP6 CK6 CK2 CN1 CN3 CU5 CU3 CY4 CY6 CT6 CT2 CW1 CW3 DB6 DC7 DB16 DC17 DB4 DC5 DC13 DB14 DB22 DC23 DC31 DB32 DC19 DB20 DC29 DB30				
DIE1_MC3_CB[7:0]	CE5 CE3 CH2 CH6 CD6 CD2 CG1 CG3	I/O	数据总线 ECC 信号	VDDIO_DDR	无
DIE1_MC3_DQSp[8:0]	CE1 R1 AA1 AG1 AN1 CL1 CU1 DB8 DB24	I/O	数据选通（包括 ECC）	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DIE1_MC3_DQSn[17:0]	CF6 T6 AB6 AH6 AP6 CM6 CV6 DC11 DC27 CF2 T2 AB2 AH2 AP2 CM2 CV2 DC9 DC25	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
DIE1_MC3_DM[8:0] / DIE1_MC3_DQSp[17:9]	CG5 U5 AC5 AJ5 AR5 CN5 CW5 DB12 DB28	O	数据屏蔽 DM0-8（包括 ECC） 或数据选通 DQSp9-17	VDDIO_DDR	无
DIE1_MC3_A[13:0]	BD6 BV6 BV4 BG1 BU3 BT6 BU1 BT2 BT4 BR1 BR5 BP2 BP4 BH6	O	地址总线信号	VDDIO_DDR	无
DIE1_MC3_A17	BA3	O	地址总线信号	VDDIO_DDR	无
DIE1_MC3_BA[1:0]	BH4 BG3	O	逻辑 Bank 地址信号	VDDIO_DDR	无
DIE1_MC3_BG[1:0]	BW3 BY4	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
DIE1_MC3_WEn	BE1	O	写使能信号，A14	VDDIO_DDR	无
DIE1_MC3_CASn	BD2	O	列地址选择信号，A15	VDDIO_DDR	无
DIE1_MC3_RASn	BF4	O	行地址选择信号，A16	VDDIO_DDR	无
DIE1_MC3_SCSn[7:0]	AW3 AV2 BA5 BF6 AV6 AV4 BC5 BE3	O	片选信号	VDDIO_DDR	无
DIE1_MC3_CKE[3:0]	CA5 CA1 CB4 BY6	O	时钟使能信号	VDDIO_DDR	无
DIE1_MC3_CKp[3:0]	BM6 BN3	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟，	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	BK6 BL3		{0,2}为另一组 DIMM 时钟		
DIE1_MC3_CK _n [3:0]	BM4 BN1 BK4 BL1	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
DIE1_MC3_ODT[3:0]	AY4 BC3 AW1 BD4	O	ODT 信号	VDDIO_DDR	无
DIE1_MC3_Resetn	CB2	O	复位控制信号	VDDIO_DDR	无
DIE1_MC3_ACT _n	BY2	O	激活命令信号	VDDIO_DDR	无
DIE1_MC3_PAR	BJ3	O	命令与地址奇偶校验值	VDDIO_DDR	无
DIE1_MC3_ALERT _n	BW1	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
DIE1_MC3_CID2	AY6	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
DIE1_MC3_REXT	CB6	A	参考电阻	VDDIO_DDR	无

2.3.3 初始化配置信号

表 2.4 提供了初始化配置信号的名称，方向和描述。信号名称中无 DIE0/DIE1 前缀表示共用信号，有 DIE0/DIE1 表示分别与相应硅片的连接信号。信号描述中的[x]中的数字与具体的引脚的位相关联，例如，DIE1_CHIP_CONFIG3/DIE0_CHIP_CONFIG3 描述中的[3]表示这两个信号的含义。信号描述指的是对应信号为上拉时的功能含义。

内部上下拉约为 50K0hm。

表 2.4 初始化接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
SYSRESET _n	U35	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。	VDDE_IO	无
CHIP_CONFIG5 CHIP_CONFIG4 CHIP_CONFIG2 CHIP_CONFIG1 DIE1_CHIP_CONFIG3 DIE1_CHIP_CONFIG0 DIE0_CHIP_CONFIG3 DIE0_CHIP_CONFIG0	R47 U47 P46 U45 R45 V46 R73 T78	I	以下描述分别为对应位上拉时的功能 [5] 片内时钟调试使能 (DCDL) [4] 使能 HT 端口交换模式 [3] 使能本地启动模式 [2] 使能地址扁平模式 [1] 默认 HT Gen1 模式 [0] SE 功能使能	VDDE_IO	6'b000010 (5,4,3,2,1,0)
CHIP_ID[3:1] DIE0_CHIP_ID0 DIE1_CHIP_ID0	V50 U51 R51 P50 AA83	I	芯片号	VDDE_IO	下拉
ICCC_EN	R35	I	1'b1 表示多芯片一致性互联模式 1'b0 表示单芯片模式	VDDE_IO	下拉
DIE0_DEV_CONFIG9 DIE0_DEV_CONFIG7 DIE0_DEV_CONFIG6 DIE0_DEV_CONFIG5 DIE0_DEV_CONFIG4	T50 U49 T48 V48 W47	I	接口模式配置，以下分别为每位置 1 时的功能 [9]使用双片互连结构 [8]仅使用 HT2 的高低 8 位进行环形互连 [7] HT3 8 位模式下 TX 高 8 位线序交换，HT3 16	VDDE_IO	下拉

DIE0_DEV_CONFIG1	R49		模式下无效		
DIE0_DEV_CONFIG0	P48		[6] HT3 16 位模式 TX 16 位或者 8 位模式时低 8 位		
DIE1_DEV_CONFIG9	AB82		线序交换		
DIE1_DEV_CONFIG7	P80		[5] HT2 8 位模式下 TX 高 8 位线序交换, HT2 16		
DIE1_DEV_CONFIG6	T80		模式下无效		
DIE1_DEV_CONFIG5	P74		[4] HT2 16 位模式 TX 16 位或者 8 位模式时低 8 位		
DIE1_DEV_CONFIG4	R75		线序交换		
			[3] HT1 8 位模式下 TX 高 8 位线序交换, HT1 16		
			模式下无效		
			[2] HT1 16 位模式 TX 16 位或者 8 位模式时低 8 位		
			线序交换		
			[1] HT0 8 位模式下 TX 高 8 位线序交换, HT0 16		
			模式下无效		
			[0] HT0 16 位模式 TX 16 位或者 8 位模式时低 8 位		
			线序交换		

- 3SYSRESETn: 这个复位信号是唯一能复位整个龙芯 3D5000 处理器的信号。SYSCLK 必须在 SYSRESETn 释放前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 释放时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成, 之后复位异常处理才可以被执行。
- 其它配置信号: 定义了龙芯 3D5000 需要静态配置的信号, 它在系统复位时必须保持稳定, 而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

系统配置引脚的期望设置与内部上下拉的值一致时, 可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接, 以方便调试使用。

2.3.4 低速接口信号

龙芯 3D5000 处理器的低速 I/O 接口包括 SPI 总线、UART 总线、I2C 总线和 AVS 总线。

SPI 总线连接 SPI flash, 用于系统启动。SPI 控制器具有以下特性:

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 可支持处理器通过 SPI 启动
- 可支持双线、四线模式

UART 控制器具有以下特性:

- 全双工异步数据接收/发送

- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。龙芯 3D5000 中集成的 I2C 控制器既可以作为主设备，也可以作为从设备，这两种模式之间通过配置内部寄存器进行切换。

AVS 总线用于专用电源芯片的电压控制以及状态监测，相比 I2C 总线有着更高的带宽和更短的延迟。AVS_SDATA 需要根据电源芯片的要求使用 100-200 欧姆电阻进行上拉。

I2C、UART、AVS 接口不使用时可以悬空。

这些低速 I/O 接口包含的信号如下。SPI 直接连接 Flash 芯片，无需上拉。

表 2.5 SPI 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
DIE0_SPI_SCK	P52	O	SPI 总线时钟	VDDE_IO	无
DIE0_SPI_SDO	R55	O	SPI 总线数据输出	VDDE_IO	无
DIE0_SPI_SDI	U55	I	SPI 总线数据输入	VDDE_IO	无
DIE0_SPI_WPN	T52	O	SPI 总线写保护	VDDE_IO	无
DIE0_SPI_HOLD N	R53	O	SPI 总线保持	VDDE_IO	无
DIE0_SPI_CSN0	P54	O	SPI 片选信号	VDDE_IO	无

*. 如需连接多个 SPI 设备，可复用 GPIO0-1 作为 2 个额外的 CSn 片选信号。

UART0 使用专门的 UART 接口引脚，只支持双线模式。UART1 没有专门接口引脚，而是与 GPIO 引脚复用。

表 2.6 UART 接口信号

信号名称	管脚名称	引脚标号	输入/输出	描述	电压域	内部上下拉
UART0_RXD	DIE0_UART0_ RXD	V54	I	串口数据输入	VDDE_IO	无
UART0_TXD	DIE0_UART0_ TXD	W53	O	串口数据输出	VDDE_IO	无
UART1_RXD	DIE0_GPIO02*	V56	I	串口数据输入	VDDE_IO	无
UART1_TXD	DIE0_GPIO03	W57	O	串口数据输出	VDDE_IO	无
UART1_RTS	DIE0_GPIO04	T58	O	串口数据传输请求	VDDE_IO	无
UART1_CTS	DIE0_GPIO05	V58	I	设备接受数据就绪	VDDE_IO	无
UART1_DTR	DIE0_GPIO06	P56	O	串口初始化完成	VDDE_IO	无
UART1_DSR	DIE0_GPIO07	P58	I	设备初始化完成	VDDE_IO	无
UART1_DCD	DIE0_GPIO08	R59	I	外部 MODEM 探测到载波信号	VDDE_IO	无
UART1_RI	DIE0_GPIO09	T60	I	外部 MODEM 探测到振铃信号	VDDE_IO	无

*. UART1 复用 GPIO2-9

表 2.7 I2C 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
DIE0_I2C0_SCL	CE73	I/O	I2C 总线 0 时钟	VDDE_IO	无
DIE0_I2C0_SDA	CD74	I/O	I2C 总线 0 数据	VDDE_IO	无
DIE0_I2C1_SCL	U65	I/O	I2C 总线 1 时钟	VDDE_IO	无
DIE0_I2C1_SDA	T66	I/O	I2C 总线 1 数据	VDDE_IO	无
DIE0_I2C2_SCL	P30	I/O	I2C 总线 2 时钟	VDDE_IO	无
DIE0_I2C2_SDA	R31	I/O	I2C 总线 2 数据	VDDE_IO	无
DIE1_I2C0_SCL	Y78	I/O	DIE1 I2C 总线 0 时钟	VDDE_IO	无
DIE1_I2C0_SDA	Y76	I/O	DIE1 I2C 总线 0 数据	VDDE_IO	无
DIE1_I2C1_SCL	Y74	I/O	DIE1 I2C 总线 1 时钟	VDDE_IO	无
DIE1_I2C1_SDA	Y72	I/O	DIE1 I2C 总线 1 数据	VDDE_IO	无

表 2.8 AVS 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
DIE0_AVS_CLK	CD76	O	AVS 总线时钟	VDDE_IO	无
DIE0_AVS_MDATA	CE75	O	AVS 总线发送数据	VDDE_IO	无
DIE0_AVS_SDATA	CF74	I	AVS 总线接收数据	VDDE_IO	无

2.3.5 中断信号

龙芯 3D5000 处理器的引脚中断包括 1 个不可屏蔽中断（NMI_n），32 个 GPIO 中断。此外，处理器还支持消息中断（MSI），通过 HT 总线从桥片传递到处理器。下表显示了引脚中断信号的名称、方向和描述。

GPIO 中断可以选择路由到处理器核中断引脚的 INTO-3 四根中断中的任意一个。有关中断的详细说明请参考使用手册的中断部分。

NMI_n 信号不用时可悬空。

下表内部上下拉约为 50K0hm。

表 2.9 引脚中断信号描述

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
NMI _n	W35	I	不可屏蔽外部中断信号，该信号会直接中断处理器，且不可屏蔽	VDDE_IO	上拉

2.3.6 JTAG 接口信号

龙芯 3D5000 提供了 JTAG 调试接口，用于系统调试。

JTAG 接口不用时可悬空，但推荐连出以提供系统调试功能。

下表提供了 JTAG 信号的名称，方向和描述。其中内部上下拉约为 50KOhm。

表 2.10 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
DIE0_TDI	R63	I	DIE0 JTAG 串行扫描数据输入。	VDDE_IO	无
DIE0_TDO	T64	O	DIE0 JTAG 串行扫描数据输出。	VDDE_IO	无
DIE1_TDI	W65	I	DIE1 JTAG 串行扫描数据输入。	VDDE_IO	无
DIE1_TDO	V64	O	DIE1 JTAG 串行扫描数据输出。	VDDE_IO	无
TMS	T62	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE_IO	无
TRSTn	W63	I	JTAG 重启信号。	VDDE_IO	下拉
TCK	V62	I	JTAG 串行扫描时钟。	VDDE_IO	下拉
TESTCLK	P62	I			
TSEL[1:0]	W39 W37	I	JTAG 功能选择： 2'b00:LA464 JTAG 2'b01: JTAG	VDDE_IO	2'b00

2.3.7 时钟及配置信号

龙芯 3D5000 时钟相关信号参见表 2.11。处理器输入时钟信号包括 SYSCLK，差分时钟 HT0_CLKp/HT0_CLKn、差分时钟 HT1_CLKp/HT1_CLKn、差分时钟 HT2_CLKp/HT2_CLKn、差分时钟 HT3_CLKp/HT3_CLKn，此外还包括时钟配置信号 CLKSEL[9:0]。龙芯 3D5000 的 Core 时钟和 DDR 时钟通过 SYSCLK 产生，所使用的晶振频率需要与 CLKSEL[4]的设置一致。HT 的时钟产生较为复杂。首先，四组差分时钟对 HTx_CLKp/HTx_CLK 可以分别给四组对应的 HT 使用。此外，也可以使用单端时钟 SYSCLK 同时替代差分时钟输入，采用 CLKSEL[9:4]进行相关控制。CLKSEL 控制分频的方法参见表 2.12、表 2.13、表 2.14。

当 CLKSEL[3:2]设置为 2'b00 时，可以使用 HT0_CLKp/n 作为参考时钟输入替代 SYSCLK。

SYSCLK 或 HT0_CLKp/n 中必须有一组连接。其它 HTx_CLKp/n 不用时可以悬空。

系统配置的 CLKSEL 信号期望设置与内部上下拉值一致时，可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接，以方便调试使用。

表 2.11 时钟及配置信号

信号名称	引脚标号	输入/输出	频率 (MHz)	描述	电压域
DIE0_SYSCLK	P66	I	25/100	DIE0 系统输入时钟，驱动内置的 PLL 产生处理器的各个时钟。同时作为系统复位电路的时钟。	VDDE_IO
DIE1_SYSCLK	R65	I	25/100	DIE1 系统输入时钟，驱动内置的 PLL 产生处理器的各个时钟。同时作为系统复位电路的时钟。	VDDE_IO
DIE0_HT0_CLKp/ DIE0_HT0_CLKn	P78 R79	I	100/200	HT0 总线备份用参考时钟。	VDD_HT
CLKSEL[9:0]	T44 W45 V44 P42 P44	I	-	Core、DDR 和 HT 的频率选择，参见表 2.12-2.14	VDDE_IO

	U41 U43 W43 V42 W41				
DIE0_SYSCLK_OUT	T68	O	25/100	参考时钟输出观测，仅测试用	VDDE_IO
DIE1_SYSCLK_OUT	P68	O	25/100	参考时钟输出观测，仅测试用	VDDE_IO

表 2.12 CORE 时钟控制

信号	作用	内部上下拉
CLKSEL[1:0]	2'b00: 1GHz 2'b01: 2GHz 2'b10: 软件配置 (PLL 倍频频率范围要求 4.8-6.4GHz) 2'b11: SYSCLK (100MHz/25MHz)	2'b10

表 2.13 MEM 时钟控制

信号	作用	内部上下拉
CLKSEL[3:2]	2'b00: 选用 HT0_CLKp/n 作为参考时钟替代 SYSCLK, 并对 MEMPLL 使用软件配置 (PLL 倍频频率范围要求 4.8-6.4GHz) 2'b01: 600MHz 2'b10: 软件配置 (PLL 倍频频率范围要求 4.8-6.4GHz) 2'b11: SYSCLK (100MHz/25MHz)	2'b10

表 2.14 HT 时钟控制

信号	作用	内部上下拉
CLKSEL[9]	1'b1 表示 HT 控制器频率采用硬件设置 1'b0 表示 HT 控制器频率采用软件设置	1'b0
CLKSEL[8]	1'b1 表示 HT PLL 采用 SYSCLK 时钟输入 1'b0 表示 HT PLL 采用差分时钟输入	1'b1
CLKSEL[7]	1'b0 表示 PHY 时钟为 6.4GHz 1'b1 表示 PHY 时钟为 4.8GHz	1'b0
CLKSEL[6]	1-差分参考时钟采用 100MHz, 0-差分参考时钟采用 200MHz	1'b1
CLKSEL[5]	保留	1'b0
CLKSEL[4]	1-单端参考时钟采用 25MHz, 0-单端参考时钟采用 100MHz	1'b0

CLKSEL[9:4]建议配置为 6'b010100, 以获得更灵活的频率配置方式; CLKSEL[3:2]建议设置为 2'b10, 并在 BIOS 中对 MEM 的频率进行配置; CLKSEL[1:0]建议设置为 2'b10, 并在 BIOS 中对 NODE 的频率进行配置。具体配置方法请参考使用手册。CLKSEL[4]需要根据外部参考时钟晶振的频率设置相应的值。

2.3.8 GPIO 信号

龙芯 3D5000 中提供最多 32 个 GPIO 供系统使用, 且绝大部分进行了复用。需要特别指出的是, GPIO00 - GPIO15 芯片复位时即为 GPIO 功能, 默认为输入状态, 不驱动 IO; 而 GPIO16 - GPIO31 是复用 HT 的各个控制引脚, 复位时为 HT 功能, 为了防止内部逻辑

驱动对应的 IO，可以将对应的 HT0/1_Hi/Lo_Hostmode 引脚下拉。此时复位时虽然默认仍为 HT 功能，但却不会驱动 IO 引脚，不会对外部设备造成影响，只需要在软件在使用 GPIO 功能前将功能设置为 GPIO 模式即可。

GPIO 不用时可悬空。

此外，通过寄存器设置，可以将 GPIO 配置为中断输入功能，并可以设置其中断电平，设置方法请参考使用手册中的 GPIO 相关章节。

GPIO 引脚的驱动能力从 2mA 至 12mA 软件可配置，默认为最低驱动。

表 2.15 GPIO 信号

GPIO	引脚名称	引脚标号	复用功能	复位状态	电压域
0	DIE0_GPIO00	U57	SPI_CS _{n1}	输入高阻	VDDE_IO
1	DIE0_GPIO01	T56	SPI_CS _{n2}	输入高阻	VDDE_IO
2	DIE0_GPIO02	V56	UART1_RXD	输入高阻	VDDE_IO
3	DIE0_GPIO03	W57	UART1_TXD	输入高阻	VDDE_IO
4	DIE0_GPIO04	T58	UART1_RTS	输入高阻	VDDE_IO
5	DIE0_GPIO05	V58	UART1_CTS	输入高阻	VDDE_IO
6	DIE0_GPIO06	P56	UART1_DTR	输入高阻	VDDE_IO
7	DIE0_GPIO07	P58	UART1_DSR	输入高阻	VDDE_IO
8	DIE0_GPIO08	R59	UART1_DCD	输入高阻	VDDE_IO
9	DIE0_GPIO09	T60	UART1_RI	输入高阻	VDDE_IO
10	DIE0_GPIO10	W59	-	输入高阻	VDDE_IO
11	DIE0_GPIO11	P60	-	输入高阻	VDDE_IO
12	DIE0_GPIO12	W61	-	输入高阻	VDDE_IO
13	GPIO13	V60	SCNT_RST _n	输入高阻	VDDE_IO
14	DIE0_GPIO14	R61	PROCHOT _n	输入高阻	VDDE_IO
15	DIE0_GPIO15	U61	THERMTRIP _n	输入高阻	VDDE_IO
16	HT0_LO_POWEROK	W73	GPIO16	输出 0/1	VDDE_IO
17	HT0_LO_RST _n	V74	GPIO17	输出 0/1	VDDE_IO
18	HT0_LO_LDT_REQ _n	T76	GPIO18	输出 0/1	VDDE_IO
19	HT0_LO_LDT_STOP _n	U71	GPIO19	输出 0/1	VDDE_IO
20	HT0_HI_POWEROK	U75	GPIO20	输出 0/1	VDDE_IO
21	HT0_HI_RST _n	R71	GPIO21	输出 0/1	VDDE_IO
22	HT0_HI_LDT_REQ _n	P72	GPIO22	输出 0/1	VDDE_IO
23	HT0_HI_LDT_STOP _n	T74	GPIO23	输出 0/1	VDDE_IO

SCNT_RST_n 功能说明：用于复位处理器核的稳定时钟计数。结点 0 使用 GPIO12 来输出复位信号，其它所有结点（包括结点 0）使用 GPIO13 来输入复位信号（需要配置为 Stable counter 功能）。以四路为例，多路系统中主板必须按照以下方式进行连接：

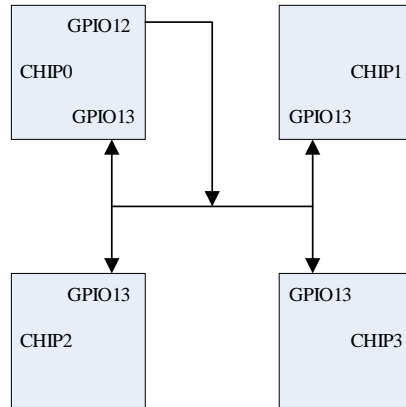


图 2.2 多路系统 GPIO 连接示意图

PROCHOT_n 作为输入时，芯片受外部温度检测电路的控制，外部温度检测电路需要降低芯片温度时可以置 PROCHOT_n 为 0，芯片接收到该低电平后可以采取降频措施，降频时的分频值由通过寄存器 prochothn_freq_scale 设置。PROCHOT_n 作为输出时，芯片可输出高温中断，通过 prochothn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

THERMTRIP_n 作为输出，由芯片通过 thermtripn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

2.3.9 测试控制信号

龙芯 3D5000 芯片的测试控制信号用于区分芯片的实际工作状态。当芯片正常工作，测试功能被禁用。用于测试的控制信号为 DOTEST 信号，运行在功能模式时需要进行上拉处理。

表 2.16 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DOTEST _n	U37	I	DOTEST _n =0, 芯片处于测试模式; DOTEST _n =1, 芯片处于正常功能模式。	VDDE_IO	上拉

2.3.10 电源地引脚

表 2.17 电源引脚

电源域	描述	引脚名称	引脚标号
VDDN	处理器核数字电源	VDDN	见附录一
VDDP	处理器核外围数字电源	VDDP VDD_RNG_SE	见附录一
VDDE_IO	处理器 IO 电源	VDDE_IO	见附录一

	SE 模块 IO 电源	VDD_OSC_SE	见附录一
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01 VDDIO_DDR_23	见附录一
VDD_HT	HT IO 电源	VDD_HT	见附录一
VDD_PLL_SYS	SYS PLL 模拟电源	VDD_PLL_SYS	见附录一
VDD_PLL_DDR	DDR PLL 模拟电源	VDD_PLL_DDR	见附录一
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01 VDD_PHY_DDR_23	见附录一
VDD_PLL_SE	SE PLL 电源	VDD_PLL_SE	见附录一
VDD_PLL_HT	HT0/1 PLL 模拟电源	VDD_HT_PLL	见附录一
	1V0 Back Up PLL 电源	VDD_1V0_PLL	
VDD_PLL_BackUp	1V8 Back Up PLL 电源	VDD_1V8PLL_BU	见附录一
VDD_VTS	VTsensor 电源	VDD_VTS_S1 VDD_VTS_S3	见附录一
VSS	地平面	VSS	见附录一

2.4 引脚复用关系

龙芯 3D5000 中，仅 GPIO 引脚与其它功能存在复用关系，详见 2.3.8 节说明。

3. 功能及接口说明

3.1 HyperTransport 接口

龙芯 3D5000 处理器拥有一组 HyperTransport 总线接口用于 IO 连接，简称为 HT0。其接口为 16 位宽度，可以拆为两路 8 位使用。

此外，龙芯 3D5000 处理器集成了四组用于一致性互连的高速互连接口，简称为 DIE0_HT2、DIE0_HT3、DIE1_HT2、DIE1_HT3。其接口皆为 16 位宽，可以分别独立拆分为两组各 8 位使用。

3.1.1 接口特性

HyperTransport 接口特性包括：

- IO 模式兼容 HyperTransport 1.03/HyperTransport 3.0；
- IO 接口频率支持 200 - 3200MHz；
- 一致性互连频率支持 200 - 4000MHz；
- HT0 支持 IO Cache 一致性；
- DIE0_HT2、DIE0_HT3、DIE1_HT2、DIE1_HT3 支持片间一致性协议，最多支持 16 路互连；

3.1.2 模式配置

HyperTransport 接口可能包括以下几个配置引脚：

- HTx_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用；
- HTx_x_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向，具体请见表 2.2；

3.1.3 系统接口连接

龙芯 3D5000 中的 HT0 接口用于系统中的 IO 连接，通过硬件自动维护与系统内存的一致性。其它 HT 用于多处理器互连使用，不支持 IO 连接。

针对不同的系统有规定的连接方式，以方便软件的兼容处理，具体的系统连接要求请参

考对应桥片的相关设计规范。

不同系统中的连接方式如下所示：

- 龙芯 3D5000 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如下图所示：

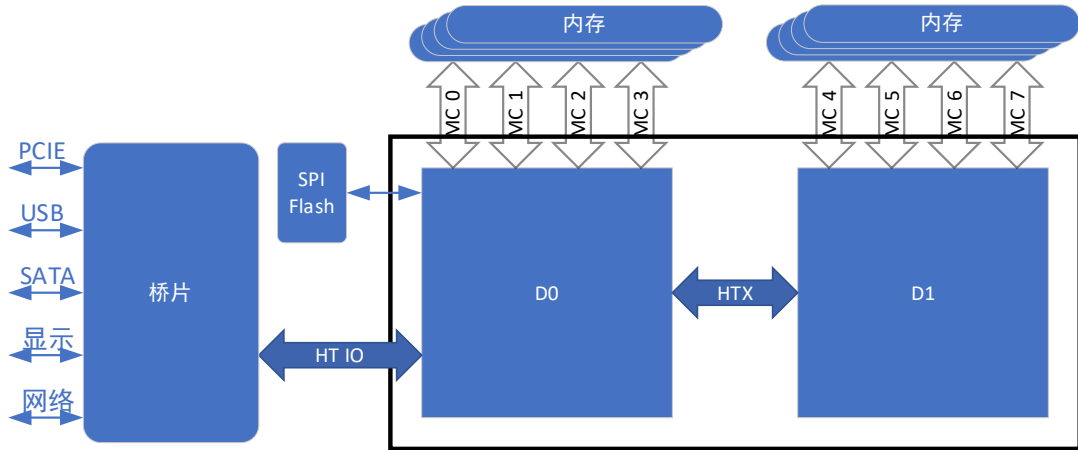


图 3.1 单处理器系统 HT 接口连接

- 龙芯 3D5000 多处理器系统连接。用于多处理器间互联时，HT0 接口硬件用于 IO 连接，与桥片互连。使用其它 HT 接口用于多处理器间互连。下图分别给出了 2 片和 4 片互连的方式。

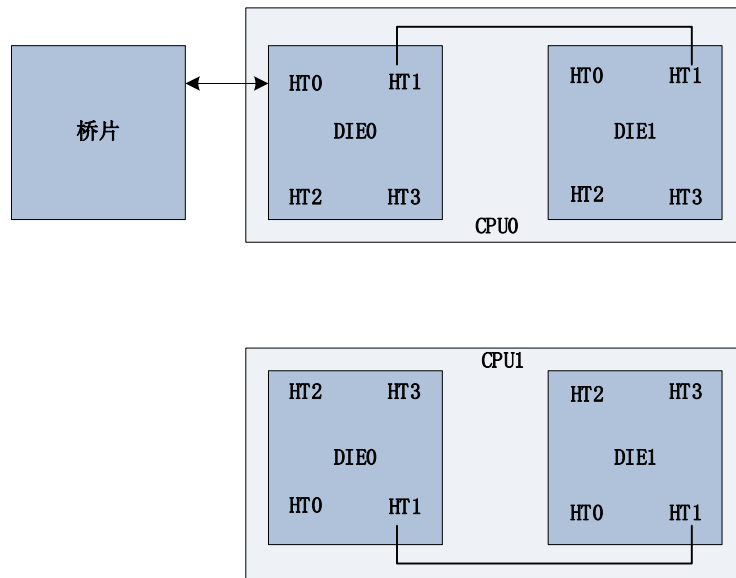


图 3.2 多处理器系统 HT 接口连接

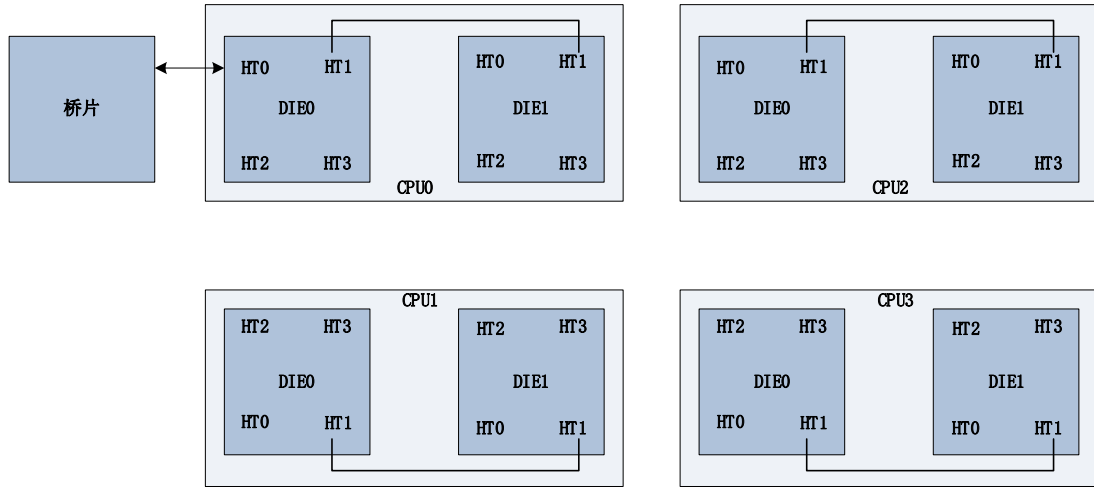


图 3.3 多处理器系统 HT 接口连接（四片）

3.2 DDR 接口

龙芯 3D5000 处理器内部集成的内存控制器的设计遵守 DDR4 SDRAM 的行业标准（JESD79-4）。

3.2.1 内存控制器功能概述

龙芯 3D5000 处理器中，每个内存控制器支持最大 8 个 CS，其中每 4 个 CS 可以对应一个内存插槽，每个控制器最多支持两个内存插槽，每个处理器最多支持八个内存插槽。

龙芯 3D5000 处理器在具体选择使用不同内存芯片类型时，可以调整控制器参数设置进行支持，能支持各种容量大小的内存条。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

龙芯 3D5000 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求，在所有的内存读/写操作中，内存控制电路处于从设备状态。

龙芯 3D5000 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数

- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测,并能对 1 位错进行自动纠错
- 支持内存地址镜像功能
- 支持 RDIMM、UDIMM、So-DIMM 以及贴片等不同内存形态
- 支持 x4、x8、x16 颗粒
- 支持 133-800MHz 内部工作频率
- 最高支持 DDR4-3200

3.2.2 初始化操作

内存控制器必须经过软件初始化之后,才可以正常使用,以下为对控制器进行初始化的具体方法。

初始化操作由软件向寄存器 `Init_start` (0x010) 写入 1 时开始,在设置 `Init_start` 信号之前,必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下:

- (1) 软件向所有的寄存器写入正确的配置值,但是 `Init_start` (0x010) 在这一过程中必须保持为 0;
- (2) 软件将 `Init_start` (0x010) 设置为 1,这将导致硬件初始化的开始;
- (3) PHY 内部开始初始化操作, DLL 将尝试进行锁定操作。如果锁定成功,则可以从 `Dll_init_done` (0x030) 读出对应状态,并可以从 `Dll_value_ck` (0x030) 读写当前锁定延迟线个数;如果锁定不成功,则初始化不会继续进行(此时可以通过设置 `Dll_bypass` (0x030) 使得初始化继续执行);
- (4) DLL 锁定(或者 `bypass` 设置)之后,控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列,例如对应的 MRS 命令, ZQCL 命令等等;
- (5) 软件可以通过采样 `Dram_init` (0x010) 寄存器来判断内存初始化操作是否完成。

3.2.3 复位引脚的控制

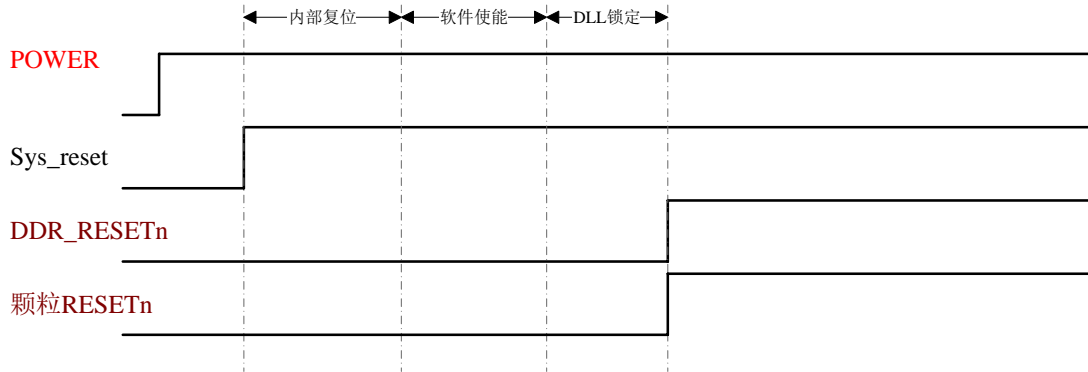
为了在 STR 等状态下更加简单地控制复位引脚,可以通过 `pad_reset_po` (0x808) 寄存器进行特别的复位引脚 (DDR_RESETh) 控制,主要的控制模式有两种:

- (1) 一般模式, `pad_reset_po[1:0] = 2'b00`。这种模式下,复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR_RESETh 与内存槽上的对应引脚相连。引

脚的行为是：

- 未上电时：引脚状态为低；
- 上电时：引脚状态为低；
- 控制器开始初始化时，引脚状态为高；
- 正常工作时，引脚状态为高。

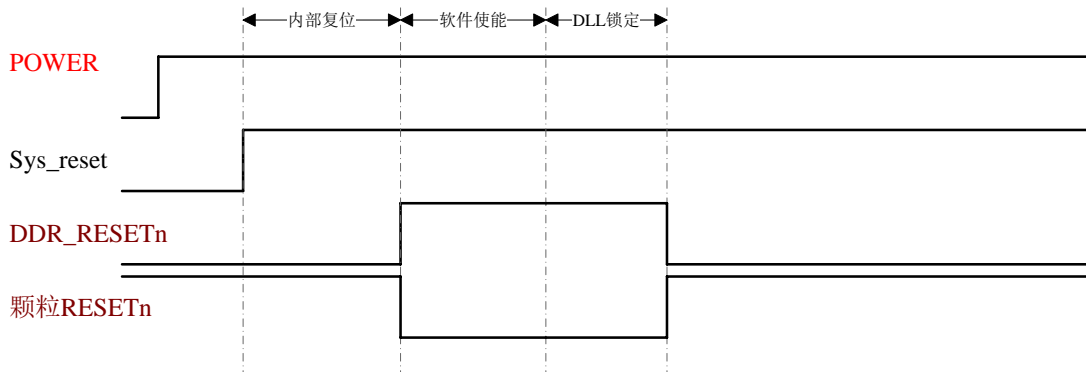
时序如下图所示：



(2) 反向模式， $\text{pad_reset_po}[1:0] = 2' \text{ b}10$ 。这种模式下，复位信号引脚在进行内存实际控制的时候，有效电平与一般的控制模式相反。所以主板上需要将 DDR_RESETh 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 未上电时：引脚状态为低；
- 上电时：引脚状态为低；
- 控制器开始配置时：引脚状态为高；
- 控制器开始初始化时：引脚状态为低；
- 正常工作时：引脚状态为低。

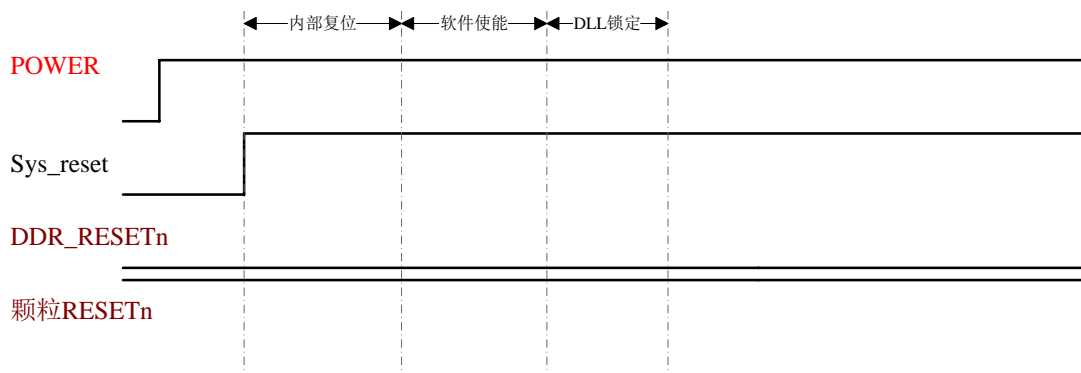
时序如下图所示：



(3) 复位禁止模式， $\text{pad_reset_po}[1:0] = 2' \text{ b}01$ 。这种模式下，复位信号引脚在整个内存工作期间，保持低电平。所以主板上需要将 DDR_RESETh 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 始终为低。

时序如下图所示：



由后两种复位模式相配合，就可以直接在使用内存控制器的复位信号的情况下实现 STR 控制。当整个系统从关闭状态下启动时，使用（2）中的方法来使用内存条正常复位并开始工作。当系统从 STR 中恢复的时候，使用（3）中的方法来重新配置内存条，使得在不破坏内存条原有状态的条件上使其重新开始正常工作。

4. 芯片启动及初始化

4.1 引导启动说明

龙芯 3D5000 支持本地启动和远程启动两种不同的启动方式。

本地启动是指从本芯片的 SPI Flash 接口进行取指启动。

远程启动是指多片互连时其它处理器芯片从 0 号处理器的 SPI Flash 取指启动。

本地启动或远程启动是通过配置引脚 CHIP_CONFIG[3] 进行设置的。

0 号处理器只能从本地启动；其它处理器在 CHIP_CONFIG[3] 下拉时为远程启动，上拉时为本地启动。

多片互连时，设置为本地启动的芯片必须外接 SPI Flash，SPI Flash 一般与 0 号处理器所连接的 Flash 内容一致。使用本地启动模式，能够减少各个处理器核在启动取指时的冲突情况，减少启动时间。

4.2 上电配置说明

上电配置引脚包括 DOTESTn、ICCC_EN、CHIP_ID、CHIP_CONFIG、DEV_CONFIG 和 CLKSEL。

这些静态配置信号在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

一种推荐的设置值如下：

表 4.1 上电配置引脚

引脚	设置	说明
DOTESTn	上拉	功能模式
ICCC_EN	单片系统下拉； 多片系统上拉	单片系统不需要跨片访问； 多片系统需要跨片访问
CHIP_ID[3:0]	根据处理器连接拓扑结构的位置进行设置	必须与连接结构对应，不可随意设置
CHIP_CONFIG[5]	下拉	禁用 DCDL
CHIP_CONFIG[4]	上拉	使用 HT 交换
CHIP_CONFIG[3]	下拉	远程启动
CHIP_CONFIG[2]	上拉	采用扁平地址空间模式
CHIP_CONFIG[1]	下拉	HT 接口速率自动协商
CHIP_CONFIG[0]	下拉	禁用 SE 功能

DEV_CONFIG[9]	下拉	禁用双片互连模式
DEV_CONFIG[8]	下拉	禁用高低位环形互连模式
DEV_CONFIG[7:0]	根据连接是否线序交换进行配置	必须与连接方式对应，不可随意设置
CLKSEL[9]	下拉	使能 HT 软件配置时钟模式
CLKSEL[8]	上拉	使用 SYS_CLOCK 作为 HT 参考时钟
CLKSEL[7:6]	2' b01	默认使用 6.4GHz HT PLL VCO 设置
CLKSEL[5]	下拉	没有使用差分参考时钟，设置没有作用
CLKSEL[4]	下拉	使用 100MHz 参考时钟输入
CLKSEL[3:2]	2' b10	使用 MEM 软件配置时钟模式
CLKSEL[1:0]	2' b10	使用 NODE 软件配置时钟模式

4.3 复位操作

龙芯 3D5000 的复位引脚包括 SYSRESETn 和各个 HT 接口的 HTx_HI/LO_powerok、HTx_HI/LO_resetrn，这三者的复位有一定时序要求，次序依次为 SYSRESETn，再到各个 HT 的 powerok，再到各个 HT 的 resetrn。

当处理器复位信号 SYSRESETn 被释放之前一段时间，相关的时钟，测试信号和初始化信号都必须已经稳定有效。这些信号包括上一节提及的配置信号以及参考时钟：

- 当使用单端参考时钟时（CLKSEL[3:2]!=2' b00 时），SYSCLK
- 当使用差分参考时钟时（CLKSEL[3:2]==2' b00 时），HT0_CLKp/n
- HT 使用差分时钟，且对应接口有连接时，HT0_CLKp/n 和 HT1_CLKp/n、HT2_CLKp/n
- 初始化信号 DOTESTn、ICCC_EN、CHIP_ID、CHIP_CONFIG、DEV_CONFIG 和 CLKSEL

当 SYSRESETn 变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn 应在电源稳定后保持至少 100ms 有效，以保证复位逻辑能可靠采样。此后 Core、DDR 和 HT 时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

5. 时钟

5.1 时钟内部关系

龙芯 3D5000 内部的时钟关系及其控制方式如下表所示。

表中的 SYS_CLOCK 可以选择为单端的 SYSCLK 输入，也可以是差分的 HT0_CLKp/n 输入，由 CLKSEL[3:2] 的值决定。

表 5.1 处理器内部时钟说明

时钟	时钟来源	倍频方式	分频控制	使能控制	时钟描述
Boot Clock	SYS_CLOCK	*1	不支持	不支持	SPI、UART、I2C 控制器时钟
Main Clock	SYS PLL	PLL 配置	不支持	不支持	SYS PLL 输出。 Node Clock、Core Clock、HTcore Clock、LA132 Clock 时钟源 Mem Clock、Stable Clock 可选时钟源
Node Clock	Main Clock	*1	支持	不支持	片上网络、共享缓存、结点时钟、HT 控制器时钟源
Core0 Clock	Main Clock	*1	支持	支持	Core0 时钟
Core1 Clock	Main Clock	*1	支持	支持	Core1 时钟
Core2 Clock	Main Clock	*1	支持	支持	Core2 时钟
Core3 Clock	Main Clock	*1	支持	支持	Core3 时钟
HTcore0 Clock	Node Clock	*1	支持	支持	HT0 控制器时钟，软件需要保证分频后低于 1.25GHz
HTcore1 Clock	Node Clock	*1	支持	支持	HT1 控制器时钟，软件需要保证分频后低于 1.25GHz
HTcore2 Clock	Node Clock	*1	支持	支持	HT2 控制器时钟，软件需要保证分频后低于 1.25GHz
HTcore3 Clock	Node Clock	*1	支持	支持	HT3 控制器时钟，软件需要保证分频后低于 1.25GHz
LA132 Clock	Main Clock	*1	支持	支持	LA132 时钟，软件需要保证分频后低于 1GHz
Stable Clock	SYS_CLOCK	*1	支持	支持	处理器核恒定计数器时钟
Mem Clock 0/1	MEM PLL0	PLL 配置	不支持	支持	内存控制器 0/1 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 0/1 备选时钟
Mem Clock 2/3	MEM PLL1	PLL 配置	不支持	支持	内存控制器 2/3 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 2/3 备选时钟

5.2 时钟需求

处理器包括以下参考时钟,其中 SYSCLK 或者 HT0_CLKp/n 可被选为全芯片的主参考时钟,一般情况下只需要使用这其中—个时钟即可,其它 HTx_CLKp/HTx_CLKn 为备份时钟,可以不接。

SYSCLK 可以使用两种频率的晶振输入,分别为 100MHz 与 25MHz。连接不同的时钟频率时需要通过 CLKSEL[4] 进行配置以保证芯片内部的时钟能够正常工作。

HTx_CLKp/n 可以使用两种频率的差分输入,分别为 100MHz 与 200MHz。连接不同的时钟频率时需要通过 CLKSEL[5] 进行配置以保证芯片内部的时钟能够正常工作。

表 5.2 参考时钟输入

信号名称	输入/输出	频率范围(MHz)	描述	电压域
DIE0_SYSCLK	I	25/100	DIE0 系统输入时钟,驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE_IO
DIE1_SYSCLK	I	25/100	DIE1 系统输入时钟,驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟	VDDE_IO
DIE0_HT0_CLKp/ DIE0_HT0_CLKn	I	200	HT0 总线备份用参考时钟。	VDD_HT

5.2.1 单端时钟输入要求

SYSCLK 输入为 LVCOMS 类型,电平 1.8v。要求如下表:

条件	说明	最小	典型	最大	单位
V	供电电压				
Vih	输入高电压	1.25			V
Vil	输入低电压			0.4	V
Cin	输入电容		2		pf
Tr	上升沿时间	1	2.2	3.6	V/ns
Tf	下降沿时间				
Duty Cycle	占空比	45%~55%			
Clock jitter	时钟抖动(multiple output frequencies switching)		74		ps

5.2.2 差分时钟输入要求

HTx_CLKp/HTx_CLKn 为备份时钟,可以通过 CLKSEL 配置为 HT PHY 的参考时钟,输入为 LVDS 类型。因为可以配置使用 SYSCLK 作为 HT PHY 的参考时钟输入,这种情况下,这两组差分时钟可以悬空。

条件	说明	最大	典型	最小	单位
V	供电电压				
Vih	输入高点压	454		247	mV
Vil	输入低电压	-247		-454	mV
Cin	输入电容				
Tr	上升沿时间		300		ps
Tf	下降沿时间		300		ps
Duty Cycle	占空比	45%~55%			
Clock jitter	时钟抖动 (multiple output frequencies switching)		46		ps

5.3 频率配置

处理器的主要时钟由三种 PLL 产生，分别是 SYS PLL、两个 MEM PLL 和若干个 HT PLL。

其中 SYS PLL 和 MEM PLL 可以分别通过引脚配置选择使用硬件配置频率或是软件配置频率。选择硬件配置频率时，PLL 的输出时钟频率和配置方式只由引脚决定，软件不能进行修改；选择软件配置频率时，芯片复位后默认使用 SYS_CLOCK，由软件对对应的 PLL 进行设置之后产生期望的频率并使用，在系统运行过程中，可以在满足要求的情况下随时更改。软件配置频率是目前推荐的配置方式，具体配置方法请参考使用手册中的相关章节。

HT PLL 也可以通过引脚配置选择使用硬件配置频率或是软件配置频率，但其软件配置的行为与 SYS PLL 和 MEM PLL 有一些差异。HT PLL 在硬件配置下，由引脚决定频率和配置方式，软件不能修改 PLL 的输出，但是，对于 HT 总线来说，硬件配置只决定了可选频率的最大公倍数，具体的总线频率可以由 HT 协议规定的寄存器进行设置。HT PLL 在软件配置下，芯片复位后默认使用引脚设置的频率和配置方式，但软件随后可以通过 HT 控制器内的寄存器进行配置和切换，也可以选择直接使用硬件的设置，通过 HT 协议规定的寄存器进行总线频率的设置，具体的配置寄存器请参考使用手册中的相关章节。

芯片内其它时钟依赖于这些时钟，由软件进行设置，具体的配置方法请参考使用手册中的相关章节。

6. 电源管理

6.1 电源域

芯片各个电源域包括的电源引脚如下：

电源域	描述	引脚名称
VDDN	处理器核电源	VDDN
VDDP	处理器核外围电源	VDDP VDD_RNG_SE
VDDE_IO	普通 IO 电源	VDDE_IO VDD_OSC_SE
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01 VDDIO_DDR_23
VDD_HT	HT IO 电源	VDD_HT
VDD_PLL_SYS	SYS PLL 电源	VDD_PLL_SYS
VDD_PLL_DDR	VDD_PLL_电源	VDD_PLL_DDR
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01 VDD_PHY_DDR_23
VDD_PLL_SE	SE PLL 电源	VDD_PLL_SE
VDD_HT_PLL	HT PLL 电源	VDD_HT_PLL
VDD_PLL_BackUp	1V8 Back Up PLL 电源	VDD_1V8PLL_BU
VDD_VTS	VT Sensor 电源	VDD_VTS_S1
VDD_VTS	VT Sensor 电源	VDD_VTS_S3

芯片对于上电顺序没有强制要求，推荐先上核心电压（VDDN、VDDP），再自低向高上其它电（*_PLL、VDD_HT、VDDIO_DRR、VDDE_IO）。

龙芯 3D5000 的电压工作范围差别较大，针对不同的质量等级，其工作电压各有不同。无论何种工作电压，都需要将不同工作负载时的电源波动抑制在±25mV 之内。

7. 热设计

7.1 热参数

表 7.1 芯片热阻参数

热阻	典型值(° C/W)
整体热阻	TBD
结壳热阻	TBD
基底热阻	TBD

7.2 TDP 信息

表 7.2 芯片热特性参数和推荐的最大值

参数	要求
TDP Max Power (LS3D5000)	300W
T_c / T_j	70 ° C / 85 ° C

7.3 焊接温度及焊接曲线

无

8. 仿真模型

芯片的设计资料包括相关引脚的 IBIS 模型，可以通过硬件设计获取。

9. 电气特性

9.1 极限工作条件

表 9.1 绝对最大额定值

电源域	描述	Min.	Max.	Unit
VDDN	处理器核心数字电源	-0.3	1.35	V
VDDP	处理器外围数字电源	-0.3	1.35	V
VDDE_IO	1.8VIO 电源	-0.3	1.9	V
VDDIO_DDR	DDR 通道 IO 电源	-0.3	1.26	V
VDD_HT	HT IO 电源	-0.3	1.3	V
VDD_PLL_SYS	SYS PLL 电源	-0.3	1.4	V
VDD_PLL_DDR	DDR PLL 电源	-0.3	1.4	V
VDD_PHY_DDR	DDRPHY PLL 电源	-0.3	1.4	V
VDD_PLL_SE	SE PLL 电源	-0.3	1.4	V
VDD_HT_PLL	HT PLL 电源	-0.3	1.4	V
VDD_PLL_BackUp_1V0	1V0 Back Up PLL 电源	-0.3	1.4	V
VDD_PLL_BackUp	1V8 Back Up PLL 电源	-0.3	1.9	V
VDD_VTS	VT Sensor voltage	-0.3	1.9	V
Tstg	Storage Temperature	-25	100	°C

ESD 等级：静电放电敏感度（ESD）：HBM-1000V

表 9.2 芯片温度限额

参数	描述	最小值	最大值
Tabsolute storage	芯片在非工作条件下的绝对保存温度。超过该温度范围，可能造成芯片损坏。	-65°C	150°C
Tsustained storage	芯片在包装条件下的长时间存放温度范围。	-5°C	40°C
RHsustained storage	芯片在包装条件下的长时间存放湿度范围。	60%@24°C	
Tc	芯片在工作条件下的壳温范围。	0°C	70°C

9.2 典型工作条件

表 9.3 推荐的工作电源电压

电源域	描述	电压值			最大电流
		最小	典型	最大	

VDDN	Chip core voltage	1.0V	1.10V	1.30V	300A
VDDP	Chip SOC voltage	0.8V	1.05V	1.30V	20A
VDDE_IO	IO voltage	1.7V	1.8V	1.9V	1A
VDDIO_DDR	DDR4 IO voltage	1.14V	1.2V	1.26V	10A
VDD_HT	HT IO voltage	1.1V	1.2V	1.3V	10A
VDD_PLL_SYS	System PLL voltage	1.1V	1.25V	1.4V	0.5A
VDD_PLL_DDR	DDR PLL voltage	1.1V	1.25V	1.4V	
VDD_PHY_DDR	DDR PHY voltage	1.1V	1.25V	1.4V	
VDD_PLL_SE	SE PLL voltage	1.1V	1.25V	1.4V	
VDD_HT_PLL	HT PLL voltage	1.1V	1.25V	1.4V	
VDD_PLL_BackUp_1V0	BackUp voltage	0.9V	1.0V	1.1V	
VDD_PLL_BackUp	BackUp voltage	1.7V	1.8V	1.9V	
VDD_VTS	VT Sensor voltage	1.7V	1.8V	1.9V	

龙芯 3D5000 芯片为商业级。

版本说明如下表：

表 9.4 芯片分级

芯片标识	质量等级	典型电压*	电源要求	典型功耗*	壳温范围	说明
LS3D5000	商业级	1.10V	±25mV	160W	0 - 70°C	商业级版本 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

*表中数据为典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得全芯片平均功耗），受运行温度影响。芯片运时功耗受负载的影响，待机或低负载工作功耗远低于典型值。

9.3 功耗信息

9.3.1 不同场景应用功耗

25 度环境温度下，工作频率 2.1GHz/DDR-1600，vddn 电压 1.10v，vddp1.05v，插满 4 根内存条，使用风扇散热，在运行不同应用时，不进行系统动态控制下，其最大功耗如下表：

表 9.5 2.1GHz 不同应用最大功耗测量值

电源域（单位：W）		系统空闲	SPEC CPU 2006	IOzone	Linpack
VDDN					
VDDP					
VDDE_IO					
VDDIO_DDR	13				
	02				
VDD_HT	Rx				
	Tx				
SYS_PLL					
DDR_PLL					
DDR_PHY					
SE_PLL					
HT_PLL					
BackUp					
VT Sensor					
总计					

25 度环境温度下，工作频率 2.1GHz/DDR-1600，vddn 电压 1.10v，vddp1.05v，插满 4 根内存条，使用风扇散热，在 SPEC CPU 2006 应用时，不进行系统动态控制下，其平均功耗如下表：

表 9.6 2.1GHz 典型应用平均功耗测量值

电源域（单位：W）		SPEC CPU 2006
VDDN		
VDDP		
VDDE_IO		
VDDIO_DDR	13	
	02	
VDD_HT	Rx	
	Tx	
SYS_PLL		
DDR_PLL		
DDR_PHY		
SE_PLL		
HT_PLL		
BackUp		
VT Sensor		
总计		

9.3.2 不同温度应用功耗

选取不同的应用场景，在不同温度（亮温）下的功耗数据如下表：

(1) 系统空闲

表 9.7 空闲时不同壳温功耗测量值

电源域 (单位: W)	25 度	45 度	70 度
VDDN			
VDDP			
VDDE_IO			
VDDIO_DDR			
VDD_HT			
SYS_PLL			
DDR_PLL			
DDR_PHY			
SE_PLL			
HT_PLL			
BackUp			
VT Sensor			
总计			

(2) SPEC CPU 2006

表 9.8 运行 SPEC CPU 2006 时不同壳温功耗测量值

电源域 (单位: W)	25 度	45 度	70 度
VDDN			
VDDP			
VDDE_IO			
VDDIO_DDR			
VDD_HT			
SYS_PLL			
DDR_PLL			
DDR_PHY			
SE_PLL			
HT_PLL			
BackUp			
VT Sensor			
总计			

(3) Linpack

表 9.9 运行 Linpack 时不同壳温功耗测量值

电源域 (单位: W)	25 度	45 度	70 度
VDDN			
VDDP			
VDDE_IO			
VDDIO_DDR			

VDD_HT			
SYS_PLL			
DDR_PLL			
DDR_PHY			
SE_PLL			
HT_PLL			
BackUp			
VT Sensor			
总计			

9.4 电源时序

龙芯 3D5000 的上电时序并没有特殊要求，推荐先上 Core 电，再上 IO 电。

9.5 接口电气特性

9.5.1 HyperTransport 接口

HT 接口兼容 HT1.0 与 HT3.0。频率范围为 200MHz - 3200MHz。支持 DC、AC 两种工作模式。

HT1.0 的工作频率为 200 - 800MHz，符合 HT1.03a 协议规范。

HT3.0 的工作频率为 1000 - 3200MHz，符合 HT3.0 协议规范。

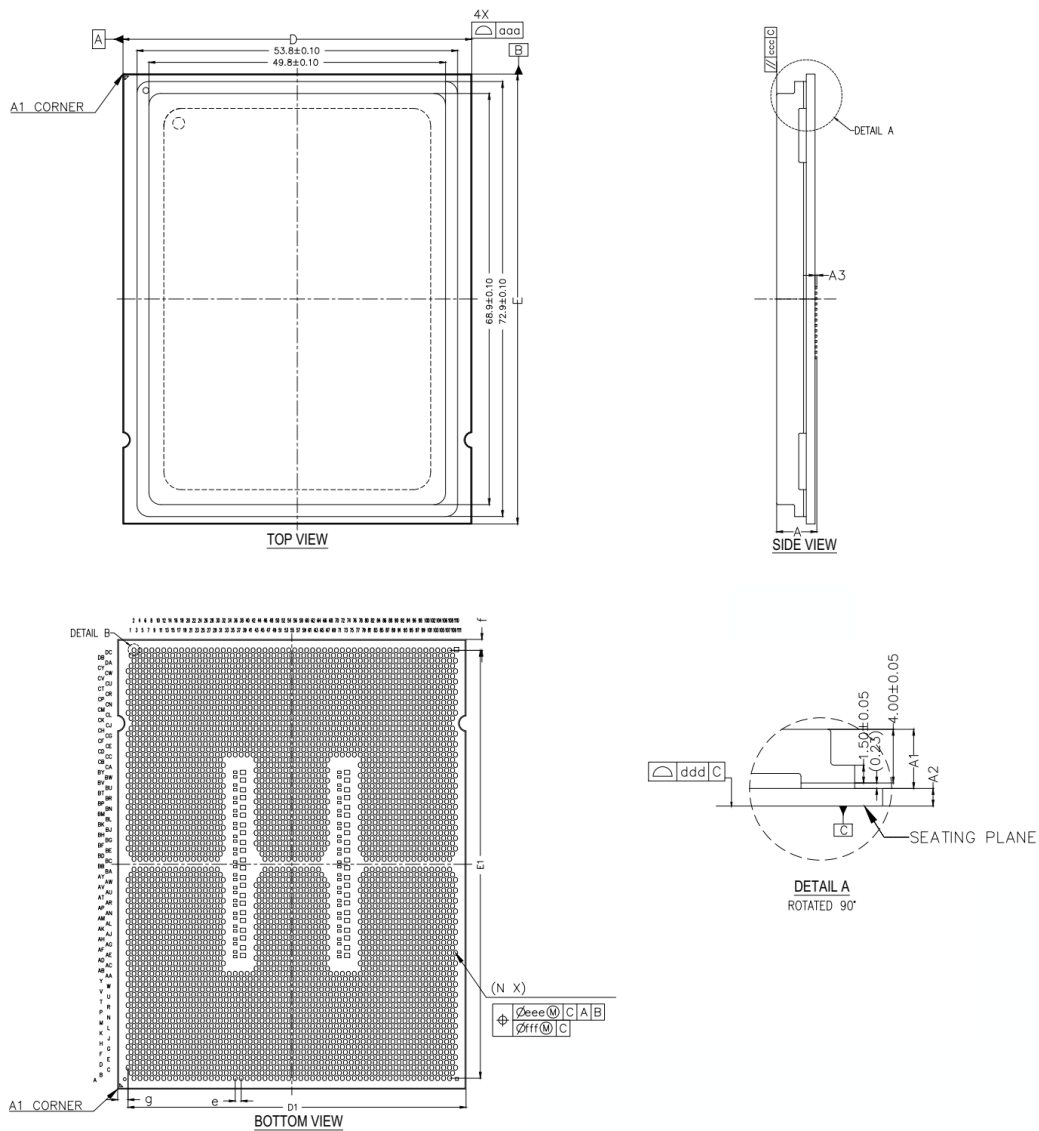
9.5.2 DDR 接口

DDR 接口兼容 DDR4，符合 JESD79-4 标准。

10. 封装信息

10.1 封装尺寸

如下所示:



COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

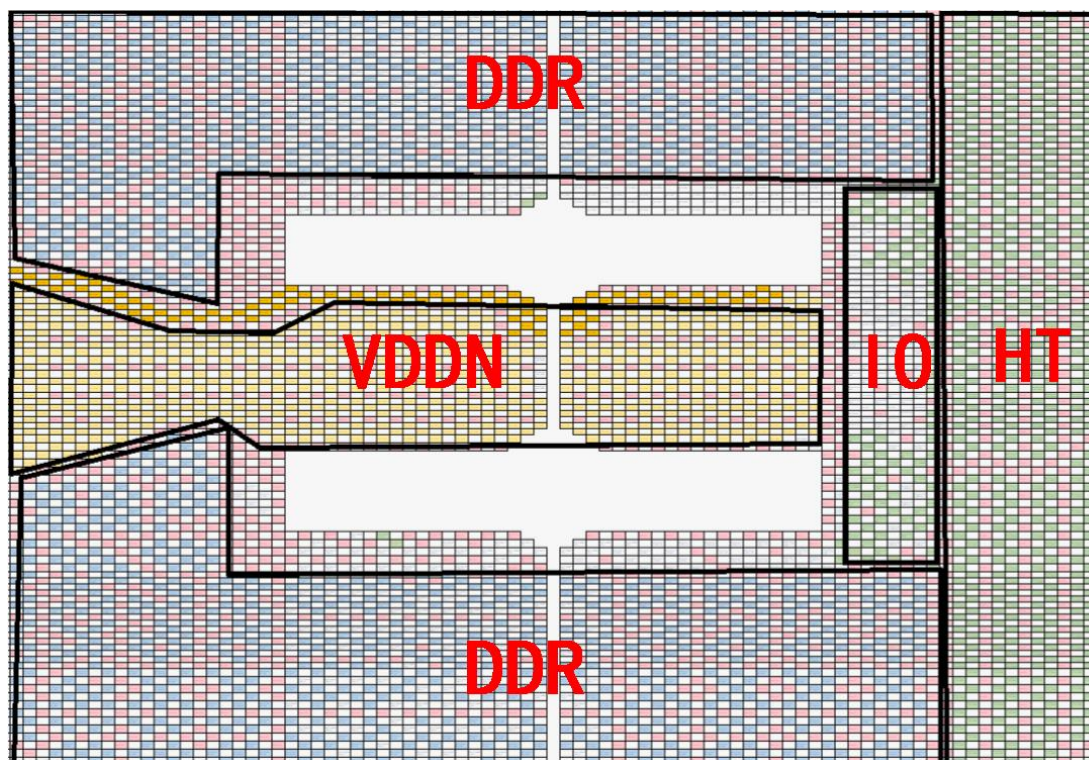
SYMBOL	MIN	NOM	MAX
A	6.874	7.124	7.374
A1	4.130	4.230	4.330
A2	1.840	2.044	2.248
A3	0.750	0.850	0.950

D	58.400	58.500	58.600
E	75.300	75.400	75.500
D1	55.000		
E1	71.750		
e	1.000		
g	1.825		
f	1.750		
aaa	0.200		
ccc	0.350		
ddd	0.250		
eee	0.250		
fff	0.050		
N	4129		

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.

10.2 信号位置分布

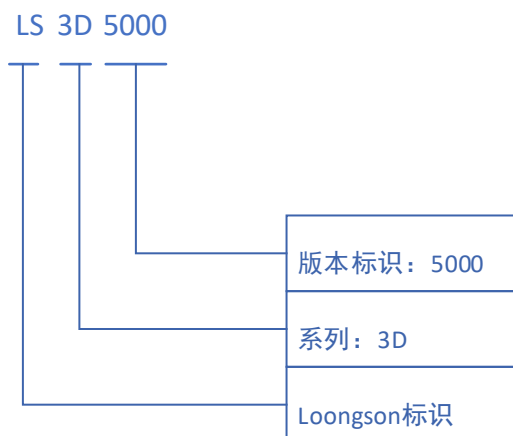


芯片引脚分布图见附录一。

11. 产品标识

11.1 通用标识

龙芯 3D5000 命名规则如下：



11.2 3D5000 芯片（示例）



- 1) 定位点: ●;
- 2) 器件识别号 (PIN) : LS3D5000。
- 3) 特殊标志: A、B、C、D、E、F、G、H、X、V为厂家信息或承制方标识。

12. Layout 及原理图 Checklist

12.1 Layout 设计说明

TBD

12.2 原理图 Checklist

TBD

13. 其他

附录一：芯片引脚排布

相关附录请通过工程师获取。

附录二：芯片引脚内部延迟数据

相关附录请通过工程师获取。



龙芯中科技术股份有限公司

地址：北京市海淀区温泉镇中关村环保科技示范园龙芯产业园 2 号楼

邮编：100095

公司传真：010-62600826

联系电话：010-62546668

联系邮箱：service@loongson.cn

公司网址：<http://www.loongson.cn>

龙芯社区：<http://www.loongnix.org>

下载网址：<http://ftp.loongnix.org/>