

LOONGSON

龙芯 3C5000 处理器

数据手册

V1.0

2022 年 5 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来



版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 3C5000 处理器数据手册》主要介绍龙芯 3C5000 处理器接口结构，特性，电气规范，以及硬件设计指导。

版本信息

版本信息	文档名	龙芯 3C5000 处理器数据手册
	版本号	V1.0
	创建人	芯片研发部
更新历史		
序号	版本号	更新内容
1	V1.0	初版发布

手册信息反馈: service@loongson.cn

目 录

图目录.....	III
表目录.....	IV
1. 简介.....	1
1.1 技术指标.....	1
1.2 芯片内部框图.....	1
1.3 芯片封装.....	2
1.4 典型应用.....	2
1.5 订购信息.....	4
1.6 术语.....	4
1.7 设计相关文档、工具、软件.....	5
1.7.1 设计相关文档.....	5
1.7.2 工具软件.....	5
1.7.3 固件及系统支持.....	5
1.8 文档约定.....	5
1.8.1 引脚信号命名.....	5
1.8.2 数值表示.....	6
1.8.3 寄存器域.....	6
2. 接口信号.....	7
2.1 接口信号图.....	8
2.2 信号类型定义.....	9
2.3 接口信号说明.....	9
2.3.1 HyperTransport 信号.....	9
2.3.2 DDR 接口信号.....	20
2.3.3 初始化配置信号.....	31
2.3.4 低速接口信号.....	32
2.3.5 中断信号.....	33
2.3.6 JTAG 接口信号.....	34
2.3.7 时钟及配置信号.....	34
2.3.8 GPIO 信号.....	36
2.3.9 测试控制信号.....	38
2.3.10 电源地引脚.....	38
2.4 引脚复用关系.....	39
3. 功能及接口说明.....	40
3.1 HyperTransport 接口.....	40
3.1.1 接口特性.....	40
3.1.2 模式配置.....	40
3.1.3 系统接口连接.....	40
3.2 DDR 接口.....	42
3.2.1 内存控制器功能概述.....	42
3.2.2 初始化操作.....	43
3.2.3 复位引脚的控制.....	43
4. 芯片启动及初始化.....	46

4.1	引导启动说明.....	46
4.2	上电配置说明.....	46
4.3	复位操作.....	47
5.	时钟.....	48
5.1	时钟内部关系.....	48
5.2	时钟需求.....	49
5.2.1	单端时钟输入要求.....	49
5.2.2	差分时钟输入要求.....	49
5.3	频率配置.....	50
6.	电源管理.....	51
6.1	电源域.....	51
7.	热设计.....	52
7.1	热参数.....	52
7.2	TDP 信息.....	52
7.3	焊接温度及焊接曲线.....	52
8.	仿真模型.....	53
9.	电气特性.....	54
9.1	极限工作条件.....	54
9.2	典型工作条件.....	54
9.3	功耗信息.....	55
9.3.1	不同场景应用功耗.....	55
9.3.2	不同温度应用功耗.....	58
9.4	电源时序.....	59
9.5	接口电气特性.....	59
9.5.1	HyperTransport 接口.....	59
9.5.2	DDR 接口.....	59
10.	封装信息.....	60
10.1	封装尺寸.....	60
10.2	信号位置分布.....	62
11.	产品标识.....	63
11.1	通用标识.....	63
11.2	3C5000 芯片（示例）.....	63
12.	Layout 及原理图 Checklist.....	64
12.1	Layout 设计说明.....	64
12.2	原理图 Checklist.....	66
13.	其他.....	67
	附录一：芯片引脚排布图.....	68
	附录二：芯片引脚内部延迟数据.....	101
	版权声明.....	113

图目录

图 1.1 处理器结构示意图.....	2
图 1.2 单处理器系统连接.....	2
图 1.3 双处理器系统.....	3
图 1.4 四处理器系统.....	3
图 2.1 处理器接口信号框图.....	8
图 2.2 多路系统 GPIO 连接示意图.....	38
图 3.1 单处理器系统 HT 接口连接	41
图 3.2 多处理器系统 HT 接口连接	41
图 3.3 多处理器系统 HT 接口连接（四片）	42

表目录

表 1.1 芯片分级.....	4
表 2.1 信号类型定义.....	9
表 2.2 HT 总线信号	10
表 2.3 DDR4 接口信号.....	20
表 2.4 初始化接口信号.....	31
表 2.5 SPI 接口信号.....	33
表 2.6 UART 接口信号.....	33
表 2.7 I2C 接口信号.....	33
表 2.8 AVS 接口信号.....	33
表 2.9 引脚中断信号描述.....	34
表 2.10 JTAG 接口信号	34
表 2.11 时钟及配置信号.....	35
表 2.12 CORE 时钟控制.....	35
表 2.13 MEM 时钟控制.....	35
表 2.14 HT 时钟控制	35
表 2.15 GPIO 信号	36
表 2.16 JTAG 接口信号.....	38
表 2.17 电源引脚.....	38
表 4.1 上电配置引脚.....	46
表 5.1 处理器内部时钟说明.....	48
表 5.2 参考时钟输入.....	49
表 7.1 芯片热阻参数.....	52
表 7.2 芯片热特性参数和推荐的最大值.....	52
表 9.1 绝对最大额定值.....	54
表 9.2 芯片温度限额.....	54
表 9.3 推荐的工作电源电压.....	54
表 9.4 芯片分级.....	55
表 9.5 2.4GHz 不同应用最大功耗测量值	56
表 9.6 2.4GHz 典型应用平均功耗测量值	56
表 9.7 2.1GHz 不同应用最大功耗测量值	57
表 9.8 2.1GHz 典型应用平均功耗测量值	57
表 9.9 空闲时不同壳温功耗测量值.....	58
表 9.10 运行 SPEC CPU 2006 时不同壳温功耗测量值	58
表 9.11 运行 Linpack 时不同壳温功耗测量值.....	58

1. 简介

龙芯处理器主要包括三个系列。龙芯 1 号系列处理器采用 32 位处理器核，集成各种外围接口，形成面向特定应用的单片解决方案，主要应用于物联终端、仪器设备、数据采集等领域。龙芯 2 号系列处理器采用 32 位或 64 位处理器核，集成各种外围接口，形成面向网络设备、行业终端、智能制造等的高性能低功耗 SoC 芯片。龙芯 3 号系列处理器片内集成多个 64 位处理器核以及必要的存储和 IO 接口，面向高端嵌入式计算机、桌面、服务器等应用。

龙芯 3C5000 是一款十六核处理器，封装为 FCLGA-2422，工作主频为 2.0GHz - 2.2GHz，主要面向高端服务器领域。

1.1 技术指标

主频	2.0GHz - 2.2GHz
峰值运算速度	560GFlops@2.2GHz
核心个数	16
处理器核	64 位超标量处理器核 LA464； 支持 LoongArch [®] 指令集； 支持 128/256 位向量指令； 四发射乱序执行； 4 个定点单元、2 个向量单元和 2 个访存单元
高速缓存	每个核包含 64KB 私有二级指令缓存和 64KB 私有二级数据缓存； 每个核包含 256KB 私有三级缓存； 共 32MB 三级缓存
内存接口	4 个 72 位 DDR4-3200； 支持 ECC 校验
高速 I/O	1 个 HyperTransport 3.0 IO 接口 (HT0)； 3 个一致性互连高速接口 (HT1、HT2、HT3)
其它 I/O	1 个 SPI、1 个 UART、3 个 I2C、16 个 GPIO 接口
封装方式	FCLGA2422
功耗管理	支持主要模块时钟动态关闭 支持主要时钟域动态变频 支持主电压域动态调压
典型功耗	150W@2.2GHz

1.2 芯片内部框图

龙芯 3C5000 的结构如图 1.1 所示。其内部为四结点结构，每个结点内部包含 4 个处理器核，4 个共享高速缓存块和内存控制器。四个结点通过两级环相连，环上还连接了 HT IO 控制器、一致性互连控制器、配置空间寄存器以及安全模块。

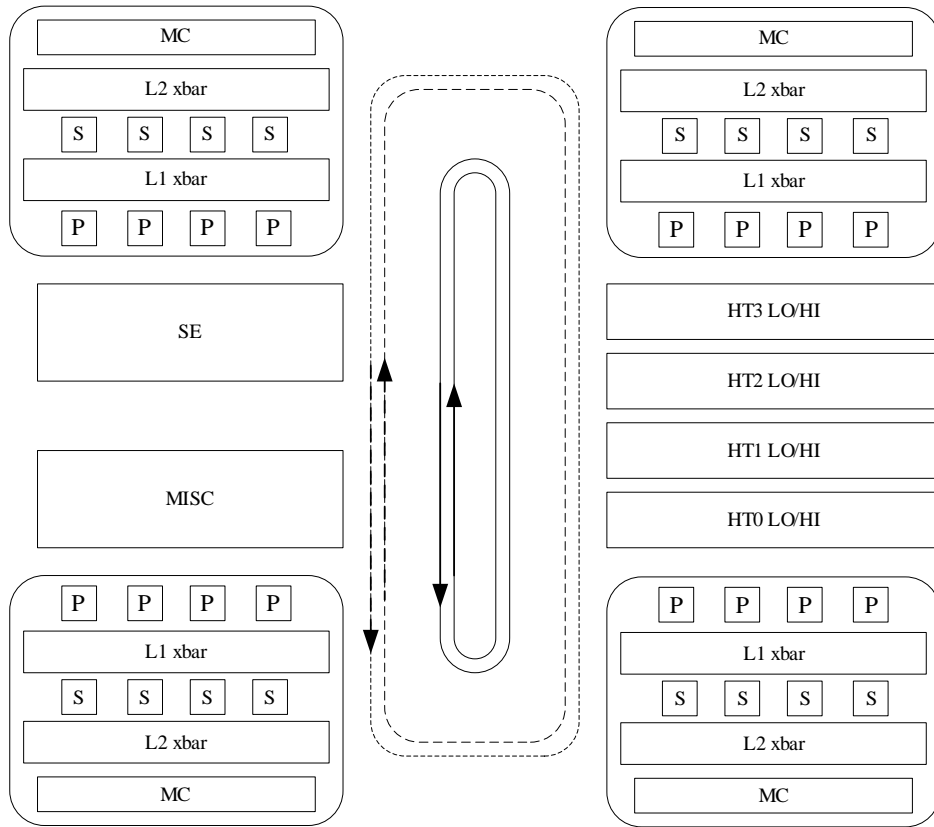


图 1.1 处理器结构示意图

1.3 芯片封装

采用 2422 引脚塑封 FCLGA 封装，芯片尺寸为 52.5mm*52.5mm。

1.4 典型应用

- (1) 单路服务器，龙芯 3C5000 单处理器系统。使用 HT0 接口用于 IO 桥片连接。一种常见的连接方式如图 1.2 所示：

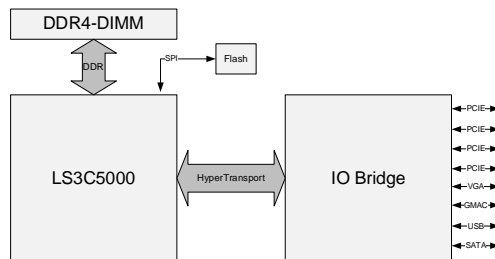


图 1.2 单处理器系统连接

- (2) 双路服务器, 龙芯 3C5000 双处理器系统。使用固定的 HT 接口用于 IO 桥片连接; 使用其它 HT 接口用于多处理器间互连。一种常见的连接方式如图 1.3 所示。其中 CPU 间的虚线连接数量影响互连带宽, 而与桥片的虚线连接方式需要根据具体桥片要求决定。CPU1 的 HT0 和 HT1 可交换使用。

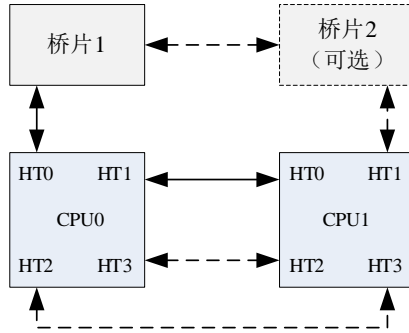


图 1.3 双处理器系统

- (3) 四路服务器, 龙芯 3C5000 四处理器系统。使用固定的 HT 接口用于 IO 桥片连接; 使用其它 HT 接口用于多处理器间互连。一种常见的连接方式如图 1.4 所示。其中虚线的连接方式根据具体桥片要求决定, 桥片也可以连接在其它 CPU 空余的 HT 接口上。CPU1 的 HT0 和 HT1 可交换使用, CPU2 的 HT0 和 HT2 可交换使用, CPU3 的 HT0 和 HT3 可交换使用。

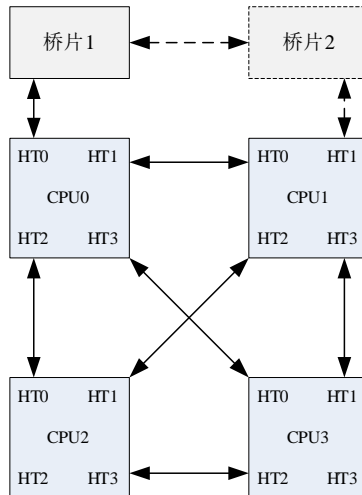


图 1.4 四处理器系统

- (4) 八路或十六路服务器, 龙芯 3C5000 支持多达十六路处理器系统连接, 连接方式参考相关原理图设计。

1.5 订购信息

龙芯 3C5000 芯片分为两个版本，不同版本芯片针对的工作环境、工作电压及实际功耗有所不同，不可相互替换。芯片在错误的工作电压下，可能会引起工作异常或使用寿命问题。在选用前必须明确对应的芯片分级。

不同版本的说明如下表：

表 1.1 芯片分级

芯片标识	质量等级	典型电压*	电源要求	典型功耗*	壳温范围	说明
LS3C5000	商业级	1.15V	±25mV	150W	0 - 70℃	商业级版本 工作频率 2.2GHz
LS3C5000-LL	商业级	1.05V	±25mV	110W	0 - 70℃	商业级版本 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

*表中数据为典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得全芯片最大功耗），受运行温度影响，处理器正常工作时很少超过该值。芯片运时功耗受负载的影响，待机或低负载工作功耗远低于典型值。

1.6 术语

表 1-2 术语和缩略语表

术语	描述	备注
PMON	开源固件，在部分龙芯处理器系统中使用	
UEFI	开源固件，在部分龙芯处理器系统中使用	
GMAC	千兆以太网控制器	
GPIO	通用输入输出接口	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDA	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DDR4	第四代双倍速率内存接口	
DIMM	Dual Inline-Memory-Modules	
UDIMM	Unbuffered Dual In-Line Memory Modules	

SODIMM	Small Outline Dual In-line Memory Module	
RDIMM	Registered Dual-Inline-Memory-Modules	
LRDIMM	Load-Reduced Dual-Inline-Memory-Modules	
JTAG	标准测试调试接口	
Loongnix	龙芯开源操作系统	

1.7 设计相关文档、工具、软件

1.7.1 设计相关文档

龙芯 3C5000 参考手册如下述：

《龙芯 3C5000 处理器寄存器使用手册》

《龙芯 3C5000 处理器数据手册》

1.7.2 工具软件

龙架构（LoongArch）相关软件。

1.7.3 固件及系统支持

（1）芯片所支持的固件：

PMON、UEFI

（2）芯片所支持的操作系统：

Loongnix

其它商业操作系统

1.8 文档约定

1.8.1 引脚信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。

1.8.2 数值表示

16 进制数表示为 'hxxx', 2 进制数表示为 'bxx', 其它数字为 10 进制。功能相同但标号有别的引脚 (如 DDR_DQ0, DDR_DQ1, ...) 使用方括号加数字范围的形式简写 (如 DDR_DQ[31:0])。类似地, 寄存器域也采用这种表示方式。

1.8.3 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 chip_config0. uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。

2. 接口信号

龙芯 3C5000 的管脚数为 2422，包含以下类别的信号：

- HyperTransport 总线接口信号
- DDR4 SDRAM 总线接口信号
- 初始化信号
- 低速 I/O 接口
- 芯片引脚中断信号
- JTAG 信号
- 测试和控制信号
- 时钟信号
- 电源引脚
- GPIO 信号
- SE 模块信号

2.1 接口信号图

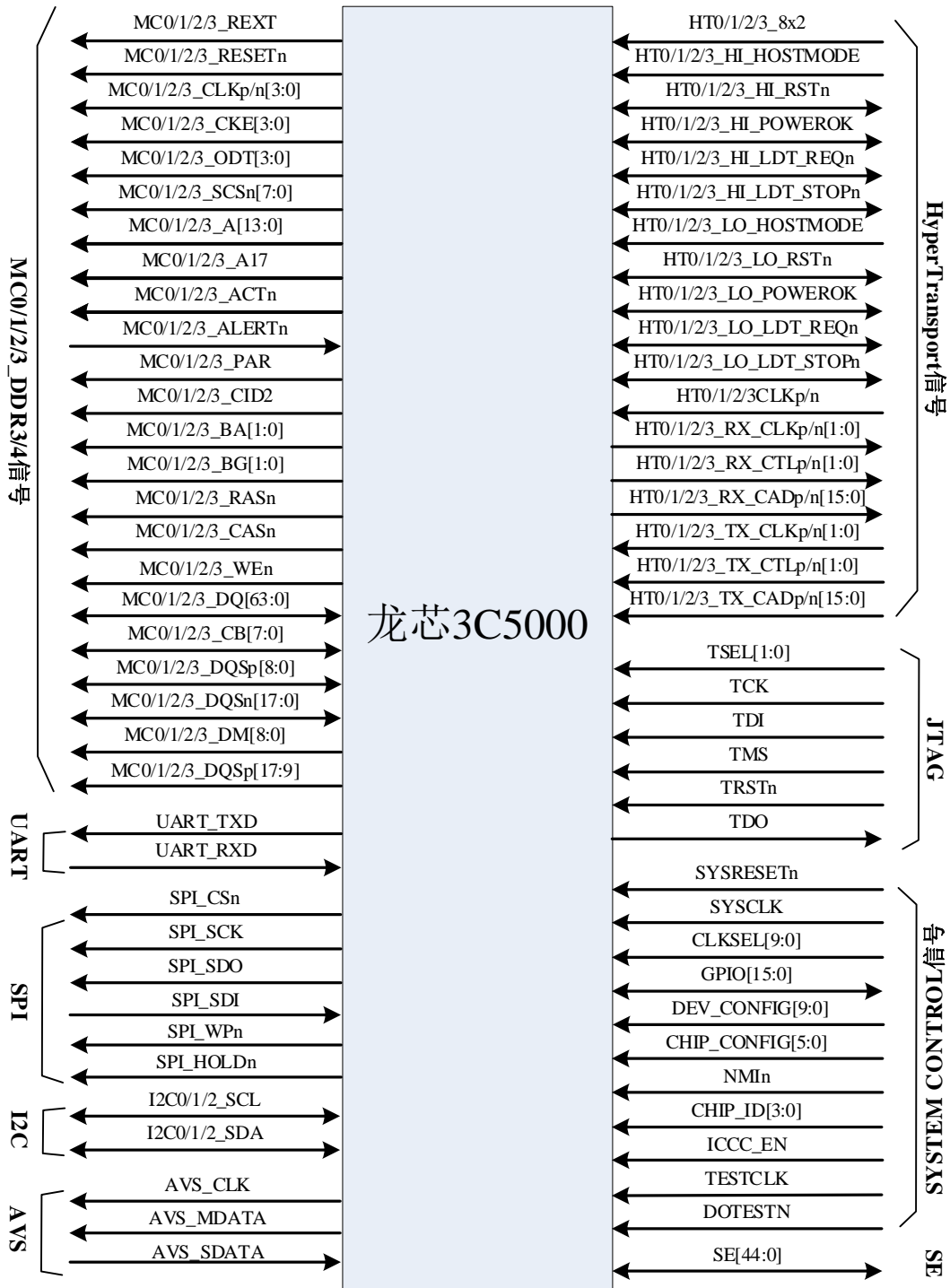


图 2.1 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 信号类型定义

本章信号类型定义如下表所示：

表 2.1 信号类型定义

输入输出类型	说明
I	输入
O	输出
I/O	输入输出
A	模拟

2.3 接口信号说明

2.3.1 HyperTransport 信号

龙芯 3C5000 中拥有 1 组用于 IO 连接的 HyperTransport 总线（称为 HT0），和 3 组用于一致性互连的高速接口（分别称为 HT1、HT2、HT3）。用于 IO 连接和一致性互连的接口不可混用，只在某些多片互连情况下可以交换位置，以兼容龙芯 3C5000L 的多片连接的拓扑结构。

每组 HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个 16 位/低 8 位总线控制信号；
- 4 个高 8 位总线控制信号；

HyperTransport 总线不使用时可以悬空。需要注意的是对于悬空的 HyperTransport 通道，需要将其对应的 LDT_STOPn 信号下拉处理。

例如，当 HT0 没有连接器件，HT0_8x2 信号外部悬空或下拉时，此时 HT0 工作在 16 位模式下，则需要将 HT0_LO_LDT_STOPn 下拉。

例如，HT1 被分为两个通道使用，HT1_8x2 信号上拉，HT1 低 8 位连接器件，高 8 位悬

空时，则需要将 HT1_HI_LDT_STOPn 下拉。

当对应的 LDT_STOPn 引脚被复用为 GPIO 时，同样需要进行下拉。

下表是龙芯 3C5000 处理器的 HyperTransport 总线接口信号定义。上下拉电阻内部约为 50KOhm。

表 2.2 HT 总线信号

HT0 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
HT0_8x2	DR47	I	为 1 时有效，表示将 HT0 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT0 作为 16 位总线使用	VDDE_IO	下拉
HT0_Lo_Hostmode	DP46	I	为 1 时有效，表示将 HT0_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Lo 控制器作为从模式，复位等信号仅为输入模式	VDDE_IO	上拉
HT0_Hi_Hostmode	DN51	I	为 1 时有效，表示将 HT0_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDE_IO	上拉
HT0_Lo_PowerOK	DN49	I/O	当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT0_Lo_Rstn	DN47	I/O	当 HT0_8x2 无效时为 HT0 总线 Rstn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Rstn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT0_Lo_Ldt_Stopn	DM46	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT0_Lo_Ldt_reqn	DP48	I/O	当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT0_Hi_PowerOK	DR51	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT0_Hi_Rstn	DP52	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Rstn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT0_Hi_LDT_Stopn	DP50	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。	VDDE_IO	上拉

			当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。		
HT0_Hi_LDT_reqn	DN53	I/O	当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。	VDDDE_IO	上拉
HT0_Tx_CADp[15:0]	DH52 DF52 DD52 DB52 CY52 CV52 CT52 CP52 CH52 CF52 CD52 CB52 BY52 BV52 BT52 BP52	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:8]位为 HT0_Hi 总线发送数据命令总线。	VDD_HT	无
HT0_Tx_CADn[15:0]	DG51 DE51 DC51 DA51 CW51 CU51 CR51 CN51 CG51 CE51 CC51 CA51 BW51 BU51 BR51 BN51	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:8]位为 HT0_Hi 总线发送数据命令总线。	VDD_HT	无
HT0_Tx_CTLp[1:0]	CK52 BK52	O	当 HT0_8x2 无效时，为 HT0 总线发送控制信号， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。	VDD_HT	无
HT0_Tx_CTLn[1:0]	CJ51 BJ51	O	当 HT0_8x2 无效时，为 HT0 总线发送控制信号， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。	VDD_HT	无
HT0_Tx_CLKp[1:0]	CM52 BM52	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。	VDD_HT	无
HT0_Tx_CLKn[1:0]	CL51 BL51	O	当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。	VDD_HT	无
HT0_Rx_CADp[15:0]	DH46 DF46 DD46 DB46 CY46 CV46	I	当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:8]位为 HT0_Hi 总线接收数据命令	VDD_HT	无

	CT46 CP46 CH46 CF46 CD46 CB46 BY46 BV46 BT46 BP46		总线。		
HT0_Rx_CADn[15:0]	DG45 DE45 DC45 DA45 CW45 CU45 CR45 CN45 CG45 CE45 CC45 CA45 BW45 BU45 BR45 BN45	I	当 HT0_8x2 无效时, 该总线为 HT0 总线接收数据命令总线, 当 HT0_8x2 有效时, [7:0]位为 HT0_Lo 总线接收数据命令总线, [15:8]位为 HT0_Hi 总线接收数据命令总线。	VDD_HT	无
HT0_Rx_CTLp[1:0]	CK46 BK46	I	当 HT0_8x2 无效时, 为 HT0 总线接收控制信号, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线接收控制信号, [1]位为 HT0_Hi 总线接收控制信号。	VDD_HT	无
HT0_Rx_CTLn[1:0]	CJ45 BJ45	I	当 HT0_8x2 无效时, 为 HT0 总线接收控制信号, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线接收控制信号, [1]位为 HT0_Hi 总线接收控制信号。	VDD_HT	无
HT0_Rx_CLKp[1:0]	CM46 BM46	I	当 HT0_8x2 无效时, 该总线为 HT0 总线接收时钟总线, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线接收时钟信号, [1]位为 HT0_Hi 总线接收时钟信号。	VDD_HT	无
HT0_Rx_CLKn[1:0]	CL45 BL45	I	当 HT0_8x2 无效时, 该总线为 HT0 总线接收时钟总线, 当 HT0_8x2 有效时, [0]位为 HT0_Lo 总线接收时钟信号, [1]位为 HT0_Hi 总线接收时钟信号。	VDD_HT	无
HT1 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
HT1_8x2	B52	I	为 1 时有效, 表示将 HT1 分为 Lo 与 Hi 分别使用 为 0 时无效, 表示将 HT1 作为 16 位总线使用	VDDE_IO	下拉
HT1_Lo_Hostmode	C47	I	为 1 时有效, 表示将 HT1_Lo 控制器作为主模式, 控制复位等信号 为 0 时无效, 表示将 HT1_Lo 控制器作为从模式, 复位等信号仅为输入模式	VDDE_IO	上拉
HT1_Hi_Hostmode	B50	I	为 1 时有效, 表示将 HT1_Hi 控制器作为主模式, 控制复位等信号 为 0 时无效, 表示将 HT1_Hi 控制器作为从模式, 复位等信号仅为输入模式	VDDE_IO	上拉
HT1_Lo_PowerOK	B46	I/O	当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号,	VDDE_IO	上拉

			当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。		
HT1_Lo_Rstn	D46	I/O	当 HT1_8x2 无效时为 HT1 总线 Resetrn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetrn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT1_Lo_Ldt_Stopn	A49	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT1_Lo_Ldt_reqn	B48	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT1_Hi_PowerOK	D52	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT1_Hi_Rstn	C49	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetrn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT1_Hi_LDT_Stopn	C53	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT1_Hi_LDT_reqn	C51	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT1_Tx_CADp[15:0]	H52 K52 M52 P52 T52 V52 Y52 AB52 AH52 AK52 AM52 AP52 AT52 AV52 AY52 BB52	O	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:8]位为 HT1_Hi 总线发送数据命令总线。	VDD_HT	无
HT1_Tx_CADn[15:0]	J51 L51 N51 R51 U51 W51 AA51 AC51 AJ51	O	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:8]位为 HT1_Hi 总线发送数据命令总线。	VDD_HT	无

	AL51 AN51 AR51 AU51 AW51 BA51 BC51				
HT1_Tx_CTLp[1:0]	AF52 BF52	O	当 HT1_8x2 无效时, 为 HT1 总线发送控制信号, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送控制信号, [1]位为 HT1_Hi 总线发送控制信号。	VDD_HT	无
HT1_Tx_CTLn[1:0]	AG51 BG51	O	当 HT1_8x2 无效时, 为 HT1 总线发送控制信号, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送控制信号, [1]位为 HT1_Hi 总线发送控制信号。	VDD_HT	无
HT1_Tx_CLKp[1:0]	AD52 BD52	O	当 HT1_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送时钟信号, [1]位为 HT1_Hi 总线发送时钟信号。	VDD_HT	无
HT1_Tx_CLKn[1:0]	AE51 BE51	O	当 HT1_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送时钟信号, [1]位为 HT1_Hi 总线发送时钟信号。	VDD_HT	无
HT1_Rx_CADp[15:0]	H46 K46 M46 P46 T46 V46 Y46 AB46 AH46 AK46 AM46 AP46 AT46 AV46 AY46 BB46	I	当 HT1_8x2 无效时, 该总线为 HT1 总线接收数据命令总线, 当 HT1_8x2 有效时, [7:0]位为 HT1_Lo 总线接收数据命令总线, [15:8]位为 HT1_Hi 总线接收数据命令总线。	VDD_HT	无
HT1_Rx_CADn[15:0]	J45 L45 N45 R45 U45 W45 AA45 AC45 AJ45 AL45 AN45 AR45 AU45 AW45 BA45 BC45	I	当 HT1_8x2 无效时, 该总线为 HT1 总线接收数据命令总线, 当 HT1_8x2 有效时, [7:0]位为 HT1_Lo 总线接收数据命令总线, [15:8]位为 HT1_Hi 总线接收数据命令总线。	VDD_HT	无
HT1_Rx_CTLp[1:0]	AF46 BF46	I	当 HT1_8x2 无效时, 为 HT1 总线接收控制信号, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线接收控制信号,	VDD_HT	无

			[1]位为 HT1_Hi 总线接收控制信号。		
HT1_Rx_CTLn[1:0]	AG45 BG45	I	当 HT1_8x2 无效时, 为 HT1 总线接收控制信号, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线接收控制信号, [1]位为 HT1_Hi 总线接收控制信号。	VDD_HT	无
HT1_Rx_CLKp[1:0]	AD46 BD46	I	当 HT1_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线发送时钟信号, [1]位为 HT1_Hi 总线发送时钟信号。	VDD_HT	无
HT1_Rx_CLKn[1:0]	AE45 BE45	I	当 HT1_8x2 无效时, 该总线为 HT0 总线接收时钟总线, 当 HT1_8x2 有效时, [0]位为 HT1_Lo 总线接收时钟信号, [1]位为 HT1_Hi 总线接收时钟信号。	VDD_HT	无
HT2 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
HT2_8x2	DR49	I	为 1 时有效, 表示将 HT2 分为 Lo 与 Hi 分别使用 为 0 时无效, 表示将 HT2 作为 16 位总线使用	VDDE_IO	下拉
HT2_Lo_Hostmode	DL47	I	为 1 时有效, 表示将 HT2_Lo 控制器作为主模式, 控制复位等信号 为 0 时无效, 表示将 HT2_Lo 控制器作为从模式, 复位等信号仅为输入模式	VDDE_IO	上拉
HT2_Hi_Hostmode	DM50	I	为 1 时有效, 表示将 HT2_Hi 控制器作为主模式, 控制复位等信号 为 0 时无效, 表示将 HT2_Hi 控制器作为从模式, 复位等信号仅为输入模式	VDDE_IO	上拉
HT2_Lo_PowerOK	DM48	I/O	当 HT2_8x2 无效时为 HT2 总线 PowerOK 信号, 当 HT2_8x2 有效时为 HT2_Lo 总线 PowerOK 信号。 当 HT2_Lo_Hostmode 有效时为双向信号, 当 HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT2_Lo_Rstn	DL49	I/O	当 HT2_8x2 无效时为 HT2 总线 Rstn 信号, 当 HT2_8x2 有效时为 HT2_Lo 总线 Rstn 信号。 当 HT2_Lo_Hostmode 有效时为双向信号, 当 HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT2_Lo_Ldt_Stopn	DK50	I/O	当 HT2_8x2 无效时为 HT2 总线 Ldt_Stopn 信号, 当 HT2_8x2 有效时为 HT2_Lo 总线 Ldt_Stopn 信号。 当 HT2_Lo_Hostmode 有效时为双向信号, 当 HT2_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT2_Lo_Ldt_reqn	DK48	I/O	当 HT2_8x2 无效时为 HT2 总线 Ldt_Reqn 信号, 当 HT2_8x2 有效时为 HT2_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT2_Hi_PowerOK	DL53	I/O	当 HT2_8x2 无效时该信号无效, 当 HT2_8x2 有效时为 HT2_Hi 总线 PowerOK 信号。 当 HT2_Hi_Hostmode 有效时为双向信号, 当 HT2_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT2_Hi_Rstn	DK52	I/O	当 HT2_8x2 无效时该信号无效, 当 HT2_8x2 有效时为 HT2_Hi 总线 Rstn 信号。	VDDE_IO	上拉

			当 HT2_Hi_Hostmode 有效时为双向信号， 当 HT2_Hi_Hostmode 无效时为输入信号。		
HT2_Hi_LDT_Stopn	DM52	I/O	当 HT2_8x2 无效时该信号无效， 当 HT2_8x2 有效时为 HT2_Hi 总线 Ldt_Stopn 信号。 当 HT2_Hi_Hostmode 有效时为双向信号， 当 HT2_Hi_Hostmode 无效时为输入信号。	VDDDE_IO	上拉
HT2_Hi_LDT_reqn	DL51	I/O	当 HT2_8x2 无效时该信号无效， 当 HT2_8x2 有效时为 HT2_Hi 总线 Ldt_Reqn 信号。	VDDDE_IO	上拉
HT2_Tx_CADp[15:0]	DG55 DE55 DC55 DA55 CW55 CU55 CR55 CN55 CG55 CE55 CC55 CA55 BW55 BU55 BR55 BN55	O	当 HT2_8x2 无效时，该总线为 HT2 总线发 送数据命令总线， 当 HT2_8x2 有效时， [7:0]位为 HT2_Lo 总线发送数据命令总 线， [15:8]位为 HT2_Hi 总线发送数据命令 总线。	VDD_HT	无
HT2_Tx_CADn[15:0]	DH54 DF54 DD54 DB54 CY54 CV54 CT54 CP54 CH54 CF54 CD54 CB54 BY54 BV54 BT54 BP54	O	当 HT2_8x2 无效时，该总线为 HT2 总线发 送数据命令总线， 当 HT2_8x2 有效时， [7:0]位为 HT2_Lo 总线发送数据命令总 线， [15:8]位为 HT2_Hi 总线发送数据命令 总线。	VDD_HT	无
HT2_Tx_CTLp[1:0]	CJ55 BJ55	O	当 HT2_8x2 无效时，为 HT2 总线发送控制 信号， 当 HT2_8x2 有效时， [0]位为 HT2_Lo 总线发送控制信号， [1]位为 HT2_Hi 总线发送控制信号。	VDD_HT	无
HT2_Tx_CTLn[1:0]	CK54 BK54	O	当 HT2_8x2 无效时，为 HT2 总线发送控制 信号， 当 HT2_8x2 有效时， [0]位为 HT2_Lo 总线发送控制信号， [1]位为 HT2_Hi 总线发送控制信号。	VDD_HT	无
HT2_Tx_CLKp[1:0]	CL55 BL55	O	当 HT2_8x2 无效时，该总线为 HT0 总线发 送时钟总线， 当 HT2_8x2 有效时， [0]位为 HT2_Lo 总线发送时钟信号， [1]位为 HT2_Hi 总线发送时钟信号。	VDD_HT	无
HT2_Tx_CLKn[1:0]	CM54 BM54	O	当 HT2_8x2 无效时，该总线为 HT0 总线发 送时钟总线， 当 HT2_8x2 有效时， [0]位为 HT2_Lo 总线发送时钟信号， [1]位为 HT2_Hi 总线发送时钟信号。	VDD_HT	无

HT2_Rx_CADp[15:0]	DG49 DE49 DC49 DA49 CW49 CU49 CR49 CN49 CG49 CE49 CC49 CA49 BW49 BU49 BR49 BN49	I	当 HT2_8x2 无效时, 该总线为 HT2 总线接收数据命令总线, 当 HT2_8x2 有效时, [7:0]位为 HT2_Lo 总线接收数据命令总线, [15:8]位为 HT2_Hi 总线接收数据命令总线。	VDD_HT	无
HT2_Rx_CADn[15:0]	DH48 DF48 DD48 DB48 CY48 CV48 CT48 CP48 CH48 CF48 CD48 CB48 BY48 BV48 BT48 BP48	I	当 HT2_8x2 无效时, 该总线为 HT2 总线接收数据命令总线, 当 HT2_8x2 有效时, [7:0]位为 HT2_Lo 总线接收数据命令总线, [15:8]位为 HT2_Hi 总线接收数据命令总线。	VDD_HT	无
HT2_Rx_CTLp[1:0]	CJ49 BJ49	I	当 HT2_8x2 无效时, 为 HT2 总线接收控制信号, 当 HT2_8x2 有效时, [0]位为 HT2_Lo 总线接收控制信号, [1]位为 HT2_Hi 总线接收控制信号。	VDD_HT	无
HT2_Rx_CTLn[1:0]	CK48 BK48	I	当 HT2_8x2 无效时, 为 HT2 总线接收控制信号, 当 HT2_8x2 有效时, [0]位为 HT2_Lo 总线接收控制信号, [1]位为 HT2_Hi 总线接收控制信号。	VDD_HT	无
HT2_Rx_CLKp[1:0]	CL49 BL49	I	当 HT2_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT2_8x2 有效时, [0]位为 HT2_Lo 总线发送时钟信号, [1]位为 HT2_Hi 总线发送时钟信号。	VDD_HT	无
HT2_Rx_CLKn[1:0]	CM48 BM48	I	当 HT2_8x2 无效时, 该总线为 HT0 总线接收时钟总线, 当 HT2_8x2 有效时, [0]位为 HT2_Lo 总线接收时钟信号, [1]位为 HT2_Hi 总线接收时钟信号。	VDD_HT	无
HT3 总线信号					
信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
HT3_8x2	A51	I	为 1 时有效, 表示将 HT3 分为 Lo 与 Hi 分别使用 为 0 时无效, 表示将 HT3 作为 16 位总线使用	VDDE_IO	下拉
HT3_Lo_Hostmode	E47	I	为 1 时有效, 表示将 HT3_Lo 控制器作为主模式, 控制复位等信号 为 0 时无效, 表示将 HT3_Lo 控制器作为从模式, 复位等信号仅为输入模式	VDDE_IO	上拉

HT3_Hi_Hostmode	E53	I	为 1 时有效，表示将 HT3_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT3_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDE_IO	上拉
HT3_Lo_PowerOK	E49	I/O	当 HT3_8x2 无效时为 HT3 总线 PowerOK 信号， 当 HT3_8x2 有效时为 HT3_Lo 总线 PowerOK 信号。 当 HT3_Lo_Hostmode 有效时为双向信号， 当 HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT3_Lo_Rstn	D48	I/O	当 HT3_8x2 无效时为 HT3 总线 Rstn 信号， 当 HT3_8x2 有效时为 HT3_Lo 总线 Rstn 信号。 当 HT3_Lo_Hostmode 有效时为双向信号， 当 HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT3_Lo_Ldt_Stopn	F48	I/O	当 HT3_8x2 无效时为 HT3 总线 Ldt_Stopn 信号， 当 HT3_8x2 有效时为 HT3_Lo 总线 Ldt_Stopn 信号。 当 HT3_Lo_Hostmode 有效时为双向信号， 当 HT3_Lo_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT3_Lo_Ldt_reqn	F46	I/O	当 HT3_8x2 无效时为 HT3 总线 Ldt_Reqn 信号， 当 HT3_8x2 有效时为 HT3_Lo 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT3_Hi_PowerOK	E51	I/O	当 HT3_8x2 无效时该信号无效， 当 HT3_8x2 有效时为 HT3_Hi 总线 PowerOK 信号。 当 HT3_Hi_Hostmode 有效时为双向信号， 当 HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT3_Hi_Rstn	F52	I/O	当 HT3_8x2 无效时该信号无效， 当 HT3_8x2 有效时为 HT3_Hi 总线 Rstn 信号。 当 HT3_Hi_Hostmode 有效时为双向信号， 当 HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT3_Hi_LDT_Stopn	D50	I/O	当 HT3_8x2 无效时该信号无效， 当 HT3_8x2 有效时为 HT3_Hi 总线 Ldt_Stopn 信号。 当 HT3_Hi_Hostmode 有效时为双向信号， 当 HT3_Hi_Hostmode 无效时为输入信号。	VDDE_IO	上拉
HT3_Hi_LDT_reqn	F50	I/O	当 HT3_8x2 无效时该信号无效， 当 HT3_8x2 有效时为 HT3_Hi 总线 Ldt_Reqn 信号。	VDDE_IO	上拉
HT3_Tx_CADp[15:0]	J55 L55 N55 R55 U55 W55 AA55 AC55 AJ55 AL55 AN55 AR55 AU55 AW55 BA55 BC55	O	当 HT3_8x2 无效时，该总线为 HT3 总线发送数据命令总线， 当 HT3_8x2 有效时， [7:0]位为 HT3_Lo 总线发送数据命令总线， [15:8]位为 HT3_Hi 总线发送数据命令总线。	VDD_HT	无
HT3_Tx_CADn[15:0]	H54 K54	O	当 HT3_8x2 无效时，该总线为 HT3 总线发送数据命令总线，	VDD_HT	无

	M54 P54 T54 V54 Y54 AB54 AH54 AK54 AM54 AP54 AT54 AV54 AY54 BB54		当 HT3_8x2 有效时， [7:0]位为 HT3_Lo 总线发送数据命令总线， [15:8]位为 HT3_Hi 总线发送数据命令总线。		
HT3_Tx_CTLp[1:0]	AG55 BG55	O	当 HT3_8x2 无效时，为 HT3 总线发送控制信号， 当 HT3_8x2 有效时， [0]位为 HT3_Lo 总线发送控制信号， [1]位为 HT3_Hi 总线发送控制信号。	VDD_HT	无
HT3_Tx_CTLn[1:0]	AF54 BF54	O	当 HT3_8x2 无效时，为 HT3 总线发送控制信号， 当 HT3_8x2 有效时， [0]位为 HT3_Lo 总线发送控制信号， [1]位为 HT3_Hi 总线发送控制信号。	VDD_HT	无
HT3_Tx_CLKp[1:0]	AE55 BE55	O	当 HT3_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT3_8x2 有效时， [0]位为 HT3_Lo 总线发送时钟信号， [1]位为 HT3_Hi 总线发送时钟信号。	VDD_HT	无
HT3_Tx_CLKn[1:0]	AD54 BD54	O	当 HT3_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT3_8x2 有效时， [0]位为 HT3_Lo 总线发送时钟信号， [1]位为 HT3_Hi 总线发送时钟信号。	VDD_HT	无
HT3_Rx_CADp[15:0]	J49 L49 N49 R49 U49 W49 AA49 AC49 AJ49 AL49 AN49 AR49 AU49 AW49 BA49 BC49	I	当 HT3_8x2 无效时，该总线为 HT3 总线接收数据命令总线， 当 HT3_8x2 有效时， [7:0]位为 HT3_Lo 总线接收数据命令总线， [15:8]位为 HT3_Hi 总线接收数据命令总线。	VDD_HT	无
HT3_Rx_CADn[15:0]	H48 K48 M48 P48 T48 V48 Y48 AB48 AH48 AK48 AM48 AP48 AT48 AV48	I	当 HT3_8x2 无效时，该总线为 HT3 总线接收数据命令总线， 当 HT3_8x2 有效时， [7:0]位为 HT3_Lo 总线接收数据命令总线， [15:8]位为 HT3_Hi 总线接收数据命令总线。	VDD_HT	无

	AY48 BB48				
HT3_Rx_CTLp[1:0]	AG49 BG49	I	当 HT3_8x2 无效时, 为 HT3 总线接收控制信号, 当 HT3_8x2 有效时, [0]位为 HT3_Lo 总线接收控制信号, [1]位为 HT3_Hi 总线接收控制信号。	VDD_HT	无
HT3_Rx_CTLn[1:0]	AF48 BF48	I	当 HT3_8x2 无效时, 为 HT3 总线接收控制信号, 当 HT3_8x2 有效时, [0]位为 HT3_Lo 总线接收控制信号, [1]位为 HT3_Hi 总线接收控制信号。	VDD_HT	无
HT3_Rx_CLKp[1:0]	AE49 BE49	I	当 HT3_8x2 无效时, 该总线为 HT0 总线发送时钟总线, 当 HT3_8x2 有效时, [0]位为 HT3_Lo 总线发送时钟信号, [1]位为 HT3_Hi 总线发送时钟信号。	VDD_HT	无
HT3_Rx_CLKn[1:0]	AD48 BD48	I	当 HT3_8x2 无效时, 该总线为 HT0 总线接收时钟总线, 当 HT3_8x2 有效时, [0]位为 HT3_Lo 总线接收时钟信号, [1]位为 HT3_Hi 总线接收时钟信号。	VDD_HT	无

2.3.2 DDR 接口信号

龙芯 3C5000 集成了标准的 DDR4 SDRAM 内存控制器, 可支持各种 DDR4 内存条。该内存控制器接口包括有下列信号:

- 72 位双向数据总线信号 (包括 ECC);
- 9 路双向数据选通差分信号 (包括 ECC);
- 9 路数据掩码或高位数据选通差分信号 (包括 ECC 等);
- 18 位地址总线信号;
- 2 位逻辑 bank 信号;
- 2 位逻辑 bank 组信号;
- 8 位物理片选信号;
- 4 路差分时钟信号;
- 4 位时钟使能信号;
- 3 位命令总线信号;
- 4 位 ODT(On Die Termination)信号;
- 1 位复位控制信号。

DDR 接口不使用时可以悬空。表 2.3 是龙芯 3C5000 每一组内存控制器接口信号, 共有四组。

表 2.3 DDR4 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
------	------	-------	----	-----	-------

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC0_DQ[63:0]	DC37	I/O	数据总线信号	VDDIO_DDR	无
	DG37				
	DF34				
	DD34				
	DD38				
	DF38				
	DG35				
	DC35				
	DK40				
	DP40				
	DN37				
	DL37				
	DF40				
	DH40				
	DP38				
	DK38				
	DC31				
	DG31				
	DG29				
	DC29				
	DD32				
	DF32				
	DN29				
	DL29				
	DK34				
	DP34				
	DN31				
	DL31				
	DL35				
	DN35				
	DP32				
	DK32				
	DL11				
	DN11				
	DM8				
	DK8				
	DR13				
	DP12				
	DR9				
	DP8				
	DC7				
	DG7				
	DF4				
DD4					
DD8					
DF8					
DG5					
DC5					
DL5					
DR5					
DL1					
DK2					
DM6					
DP6					
DM2					
DJ3					
DG1					
DE1					
CW5					
CW1					
DF2					
DD2					
DA1					
CY4					
MC0_CB[7:0]	DJ13	I/O	数据总线 ECC 信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	DL13 DF10 DD10 DC13 DG13 DG11 DC11				
MC0_DQSp[8:0]	DB12 DB36 DL39 DB30 DL33 DK10 DB6 DM4 DA3	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
MC0_DQSn[17:0]	DH12 DH36 DR39 DH30 DR33 DJ9 DH6 DP4 DB2 DD12 DD36 DJ39 DD30 DJ33 DM10 DD6 DK4 CW3	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
MC0_DM[8:0] / MC0_DQSp[17:9]	DF12 DF36 DN39 DF30 DN33 DL9 DF6 DN3 CY2	O	数据屏蔽 DM0-8（包括 ECC） 或数据选通 DQSp9-17	VDDIO_DDR	无
MC0_A[13:0]	DJ25 DF16 DG17 DF22 DJ17 DF18 DD18 DG19 DK18 DM18 DJ19 DF20 DD20 DM22	O	地址总线信号	VDDIO_DDR	无
MC0_A17	DN25	O	地址总线信号	VDDIO_DDR	无
MC0_BA[1:0]	DD22 DR23	O	逻辑 Bank 地址信号	VDDIO_DDR	无
MC0_BG[1:0]	DK16 DN17	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
MC0_WEn	DJ23	O	写使能信号，A14	VDDIO_DDR	无
MC0_CASn	DG25	O	列地址选择信号，A15	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC0_RASn	DK22	O	行地址选择信号，A16	VDDIO_DDR	无
MC0_SCSn[7:0]	DR27 DM26 DF26 DK24 DN27 DJ27 DR25 DG23	O	片选信号	VDDIO_DDR	无
MC0_CKE[3:0]	DG15 DE15 DR15 DN15	O	时钟使能信号	VDDIO_DDR	无
MC0_CKp[3:0]	DN21 DG21 DN19 DK20	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟， {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC0_CKn[3:0]	DR21 DJ21 DR19 DM20	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟， {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC0_ODT[3:0]	DD26 DF24 DK26 DM24	O	ODT 信号	VDDIO_DDR	无
MC0_Resetn	DJ15	O	复位控制信号	VDDIO_DDR	无
MC0_ACTn	DD16	O	激活命令信号	VDDIO_DDR	无
MC0_PAR	DC21	O	命令与地址奇偶校验值	VDDIO_DDR	无
MC0_ALERTn	DR17	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
MC0_CID2	DG27	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
MC0_REXT	DD24	A	参考电阻	VDDIO_DDR	无
MC1_DQ[63:0]	CK38 CM38 CK34 CM34 CH36 CJ35 CP36 CN35 DB40 DD40 CW37 CU37 CT40 CY40 CY38 CT38 CJ31 CN31 CN29 CJ29 CK32 CM32 CU29 CW29 CT34 CY34 CW31 CU31 CU35 CW35	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CY32 CT32 CJ13 CN13 CM10 CK10 CK14 CM14 CN11 CJ11 CT10 CY10 CW7 CU7 CU11 CW11 CY8 CT8 CJ7 CN7 CM4 CK4 CK8 CM8 CN5 CJ5 CU3 CU1 CK2 CJ1 CU5 CT4 CM2 CL1				
MC1_CB[7:0]	CT16 CY16 CW13 CU13 CK16 CM16 CY14 CT14	I/O	数据总线 ECC 信号	VDDIO_DDR	无
MC1_DQSp[8:0]	CR15 CJ37 CR39 CH30 CR33 CH12 CR9 CH6 CT2	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
MC1_DQSn[17:0]	DA15 CN37 DA39 CP30 DA33 CP12 DA9 CP6 CP2 CU15 CK36 CU39 CK30 CU33	I/O	数据选通（包括 ECC）	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	CK12 CU9 CK6 CR3				
MC1_DM[8:0] / MC1_DQSp[17:9]	CW15 CM36 CW39 CM30 CW33 CM12 CW9 CM6 CN1	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
MC1_A[13:0]	CP26 CW21 CL19 CT24 CU21 DB22 CK20 CY22 CT20 CP20 CU23 CW23 DB24 CY24	O	地址总线信号	VDDIO_DDR	无
MC1_A17	CN27	O	地址总线信号	VDDIO_DDR	无
MC1_BA[1:0]	CK24 DC25	O	逻辑 Bank 地址信号	VDDIO_DDR	无
MC1_BG[1:0]	DB20 CY20	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
MC1_WEn	CN25	O	写使能信号, A14	VDDIO_DDR	无
MC1_CASn	CT26	O	列地址选择信号, A15	VDDIO_DDR	无
MC1_RASn	CP24	O	行地址选择信号, A16	VDDIO_DDR	无
MC1_SCSn[7:0]	DC27 CV26 CW25 DC23 CL27 CU27 CY26 CL25	O	片选信号	VDDIO_DDR	无
MC1_CKE[3:0]	CW19 CP18 CY18 CT18	O	时钟使能信号	VDDIO_DDR	无
MC1_CKp[3:0]	CG21 CL23 CN21 CT22	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC1_CKn[3:0]	CH20 CN23 CL21 CP22	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC1_ODT[3:0]	CU25 CV24 CW27 DB26	O	ODT 信号	VDDIO_DDR	无
MC1_Resetn	DB18	O	复位控制信号	VDDIO_DDR	无
MC1_ACTn	CK18	O	激活命令信号	VDDIO_DDR	无
MC1_PAR	CH24	O	命令与地址奇偶校验值	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC1_ALERTn	CN19	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	无
MC1_CID2	CK26	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
MC1_REXT	CH22	A	参考电阻	VDDIO_DDR	无
MC2_DQ[63:0]	AF38 AD38 AF34 AD34 AH36 AG35 AB36 AC35 P40 M40 U37 W37 Y40 T40 T38 Y38 AG31 AC31 AC29 AG29 AF32 AD32 W29 U29 Y34 T34 U31 W31 W35 U35 T32 Y32 AG13 AC13 AD10 AF10 AF14 AD14 AC11 AG11 Y10 T10 U7 W7 W11 U11 T8 Y8 AG7 AC7 AD4 AF4 AF8 AD8 AC5 AG5 W3 W1 AF2 AG1	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	W5 Y4 AD2 AE1				
MC2_CB[7:0]	Y16 T16 U13 W13 AF16 AD16 T14 Y14	I/O	数据总线 ECC 信号	VDDIO_DDR	无
MC2_DQSp[8:0]	AA15 AG37 AA39 AH30 AA33 AH12 AA9 AH6 Y2	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
MC2_DQSn[17:0]	R15 AC37 R39 AB30 R33 AB12 R9 AB6 AB2 W15 AF36 W39 AF30 W33 AF12 W9 AF6 AA3	I/O	数据选通 (包括 ECC)	VDDIO_DDR	无
MC2_DM[8:0] / MC2_DQSp[17:9]	U15 AD36 U39 AD30 U33 AD12 U9 AD6 AC1	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
MC2_A[13:0]	AB26 U21 AE19 Y24 W21 P22 AF20 T22 Y20 AB20 W23 U23 P24 T24	O	地址总线信号	VDDIO_DDR	无
MC2_A17	AC27	O	地址总线信号	VDDIO_DDR	无
MC2_BA[1:0]	AF24 N25	O	逻辑 Bank 地址信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC2_BG[1:0]	P20 T20	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
MC2_WEn	AC25	O	写使能信号, A14	VDDIO_DDR	无
MC2_CASn	Y26	O	列地址选择信号, A15	VDDIO_DDR	无
MC2_RASn	AB24	O	行地址选择信号, A16	VDDIO_DDR	无
MC2_SCSn[7:0]	N27 V26 U25 N23 AE27 W27 T26 AE25	O	片选信号	VDDIO_DDR	无
MC2_CKE[3:0]	U19 AB18 T18 Y18	O	时钟使能信号	VDDIO_DDR	无
MC2_CKp[3:0]	AJ21 AE23 AC21 Y22	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC2_CKn[3:0]	AH20 AC23 AE21 AB22	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC2_ODT[3:0]	W25 V24 U27 P26	O	ODT 信号	VDDIO_DDR	无
MC2_Resetn	P18	O	复位控制信号	VDDIO_DDR	无
MC2_ACTn	AF18	O	激活命令信号	VDDIO_DDR	无
MC2_PAR	AH24	O	命令与地址奇偶校验值	VDDIO_DDR	无
MC2_ALERTn	AC19	I/O	数据 CRC 错或命令奇偶校验 错标志	VDDIO_DDR	无
MC2_CID2	AF26	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
MC2_REXT	AH22	A	参考电阻	VDDIO_DDR	无
MC3_DQ[63:0]	N37 J37 K34 M34 M38 K38 J35 N35 F40 B40 C37 E37 K40 H40 B38 F38 N31 J31 J29 N29 M32 K32 C29 E29 F34 B34	I/O	数据总线信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	C31 E31 E35 C35 B32 F32 E11 C11 D8 F8 A13 B12 A9 B8 N7 J7 K4 M4 M8 K8 J5 N5 E5 A5 E1 F2 D6 B6 D2 G3 J1 L1 U5 U1 K2 M2 R1 T4				
MC3_CB[7:0]	G13 E13 K10 M10 N13 J13 J11 N11	I/O	数据总线 ECC 信号	VDDIO_DDR	无
MC3_DQSp[8:0]	P12 P36 E39 P30 E33 F10 P6 D4 R3	I/O	数据选通（包括 ECC）	VDDIO_DDR	无
MC3_DQSn[17:0]	H12 H36 A39 H30 A33 G9 H6 B4 P2 M12	I/O	数据选通（包括 ECC）	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
	M36 G39 M30 G33 D10 M6 F4 U3				
MC3_DM[8:0] / MC3_DQSp[17:9]	K12 K36 C39 K30 C33 E9 K6 C3 T2	O	数据屏蔽 DM0-8 (包括 ECC) 或数据选通 DQSp9-17	VDDIO_DDR	无
MC3_A[13:0]	G25 K16 J17 K22 G17 K18 M18 J19 F18 D18 G19 K20 M20 D22	O	地址总线信号	VDDIO_DDR	无
MC3_A17	C25	O	地址总线信号	VDDIO_DDR	无
MC3_BA[1:0]	M22 A23	O	逻辑 Bank 地址信号	VDDIO_DDR	无
MC3_BG[1:0]	F16 C17	O	逻辑 Bank 组地址信号	VDDIO_DDR	无
MC3_WEn	G23	O	写使能信号, A14	VDDIO_DDR	无
MC3_CASn	J25	O	列地址选择信号, A15	VDDIO_DDR	无
MC3_RASn	F22	O	行地址选择信号, A16	VDDIO_DDR	无
MC3_SCSn[7:0]	A27 D26 K26 F24 C27 G27 A25 J23	O	片选信号	VDDIO_DDR	无
MC3_CKE[3:0]	J15 L15 A15 C15	O	时钟使能信号	VDDIO_DDR	无
MC3_CKp[3:0]	C21 J21 C19 F20	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC3_CKn[3:0]	A21 G21 A19 D20	O	差分时钟输出信号 {1,3}为一组 DIMM 时钟, {0,2}为另一组 DIMM 时钟	VDDIO_DDR	无
MC3_ODT[3:0]	M26 K24 F26 D24	O	ODT 信号	VDDIO_DDR	无

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
MC3_Resetn	G15	O	复位控制信号	VDDIO_DDR	无
MC3_ACTn	M16	O	激活命令信号	VDDIO_DDR	无
MC3_PAR	N21	O	命令与地址奇偶校验值	VDDIO_DDR	无
MC3_ALERTn	A17	I/O	数据 CRC 错或命令奇偶校验错标志	VDDIO_DDR	无
MC3_CID2	J27	O	CHIP ID bit2, 3DS 内存使用	VDDIO_DDR	无
MC3_REXT	M24	A	参考电阻	VDDIO_DDR	无

2.3.3 初始化配置信号

表 2.4 提供了初始化配置信号的名称，方向和描述。

内部上下拉约为 50K0hm。

表 2.4 初始化接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
SYSRESETn	D42	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。	VDDE_IO	无
CHIP_CONFIG[5:0]	AJ33 AL33 AK34 AL35 AM36 AL37	I	以下描述分别为对应位上拉时的功能 [5] 片内时钟调试使能 (DCDL) [4] 使能 HT 端口交换模式 [3] 使能本地启动模式 [2] 使能地址扁平模式 [1] 默认 HT Gen1 模式 [0] SE 功能使能	VDDE_IO	6'b000010
CHIP_ID[3:0]	BH42 BG41 BE41 BK42	I	芯片号 单处理器时设置为 0，多处理器时按照 3.3 节的连接方式设置	VDDE_IO	下拉
ICCC_EN	H42	I	1'b1 表示多芯片一致性互联模式 1'b0 表示单芯片模式	VDDE_IO	下拉
DEV_CONFIG[9:0]	AK32 AK28 AM28 AL29 AM30 AL31 AM32 AK26 AJ27 AL27	I	接口模式配置，以下分别为每位置 1 时的功能 [9]使用双片互连结构 [8]仅使用 HT2 的高低 8 位进行环形互连 [7] HT3 8 位模式下高 8 位线序交换 [6] HT3 16 位模式 16 位或者 8 位模式时低 8 位线序交换 [5] HT2 8 位模式下高 8 位线序交换 [4] HT2 16 位模式 16 位或者 8 位模式时低 8 位线序交换 [3] HT1 8 位模式下高 8 位线序交换 [2] HT1 16 位模式 16 位或者 8 位模式时低 8 位线序交换 [1] HT0 8 位模式下高 8 位线序交换 [0] HT0 16 位模式 16 位或者 8 位模式时低 8 位线序交换	VDDE_IO	下拉

- **SYSRESETn**: 这个复位信号是唯一能复位整个龙芯 3C5000 处理器的信号。SYSCLK 必须在 SYSRESETn 释放前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 释放时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行。

- 其它配置信号：定义了龙芯 3C5000 需要静态配置的信号，它在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

系统配置引脚的期望设置与内部上下拉的值一致时，可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接，以方便调试使用。

2.3.4 低速接口信号

龙芯 3C5000 处理器的低速 I/O 接口包括 SPI 总线、UART 总线、I2C 总线和 AVS 总线。

SPI 总线连接 SPI flash，用于系统启动。SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 可支持处理器通过 SPI 启动
- 可支持双线、四线模式

UART 控制器具有以下特性：

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。龙芯 3C5000 中集成的 I2C 控制器既可以作为主设备，也可以作为从设备，这两种模式之间通过配置内部寄存器进行切换。

AVS 总线用于专用电源芯片的电压控制以及状态监测，相比 I2C 总线有着更高的带宽和更短的延迟。

I2C、UART、AVS 接口不使用时可以悬空。

这些低速 I/O 接口包含的信号如下。SPI 直接连接 Flash 芯片，无需上拉。

表 2.5 SPI 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
SPI_SCK	CF20	O	SPI 总线时钟	VDDE_IO	无
SPI_SDO	CF24	O	SPI 总线数据输出	VDDE_IO	无
SPI_SDI	CE21	I	SPI 总线数据输入	VDDE_IO	无
SPI_WPn	CE19	O	SPI 总线写保护	VDDE_IO	无
SPI_HOLDn	CE25	O	SPI 总线保持	VDDE_IO	无
SPI_CSn*	CF22	O	SPI 片选信号	VDDE_IO	无

*. 如需连接多个 SPI 设备，可复用 GPIO0-1 作为 2 个额外的 CSn 片选信号。

表 2.6 UART 接口信号

信号名称	管脚名称	引脚标号	输入/输出	描述	电压域	内部上下拉
UART0_RXD	UART_RXD	BJ41	I	串口数据输入	VDDE_IO	无
UART0_TXD	UART_TXD	BL41	O	串口数据输出	VDDE_IO	无
UART1_RXD	GPIO02*	CG27	I	串口数据输入	VDDE_IO	无
UART1_TXD	GPIO03	CK40	O	串口数据输出	VDDE_IO	无
UART1_RTS	GPIO04	CF26	O	串口数据传输请求	VDDE_IO	无
UART1_CTS	GPIO05	CG41	I	设备接受数据就绪	VDDE_IO	无
UART1_DTR	GPIO06	CE27	O	串口初始化完成	VDDE_IO	无
UART1_DSR	GPIO07	CF28	I	设备初始化完成	VDDE_IO	无
UART1_DCD	GPIO08	CE31	I	外部 MODEM 探测到载波信号	VDDE_IO	无
UART1_RI	GPIO09	CJ41	I	外部 MODEM 探测到振铃信号	VDDE_IO	无

*. UART1 复用 GPIO2-9

表 2.7 I2C 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
I2C0_SCL	DR45	I/O	I2C 总线 0 时钟	VDDE_IO	无
I2C0_SDA	DN45	I/O	I2C 总线 0 数据	VDDE_IO	无
I2C1_SCL	DK46	I/O	I2C 总线 1 时钟	VDDE_IO	无
I2C1_SDA	DL45	I/O	I2C 总线 1 数据	VDDE_IO	无
I2C2_SCL	A47	I/O	I2C 总线 2 时钟	VDDE_IO	无
I2C2_SDA	A45	I/O	I2C 总线 2 数据	VDDE_IO	无

表 2.8 AVS 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
AVS_CLK	AM14	O	AVS 总线时钟	VDDE_IO	无
AVS_MDATA	AL13	O	AVS 总线发送数据	VDDE_IO	无
AVS_SDATA	AK14	I	AVS 总线接收数据	VDDE_IO	无

2.3.5 中断信号

龙芯 3C5000 处理器的引脚中断包括 1 个不可屏蔽中断 (NMI_n)，32 个 GPIO 中断。此

外，处理器还支持消息中断（MSI），通过 HT 总线从桥片传递到处理器。下表显示了引脚中断信号的名称、方向和描述。

GPIO 中断可以选择路由到处理器核中断引脚的 INTO-3 四根中断中的任意一个。有关中断的详细说明请参考使用手册的中断部分。

NMI_n 信号不用时可悬空。

下表内部上下拉约为 50K0hm。

表 2.9 引脚中断信号描述

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
NMI _n	B42	I	不可屏蔽外部中断信号，该信号会直接中断处理器，且不可屏蔽	VDDE_IO	上拉

2.3.6 JTAG 接口信号

龙芯 3C5000 提供了 JTAG 调试接口，用于系统调试。

JTAG 接口不用时可悬空，但推荐连出以提供系统调试功能。

下表提供了 JTAG 信号的名称，方向和描述。其中内部上下拉约为 50K0hm。

表 2.10 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电压域	内部上下拉
TDI	DK44	I	JTAG 串行扫描数据输入。	VDDE_IO	无
TDO	DJ43	O	JTAG 串行扫描数据输出。	VDDE_IO	无
TMS	DB42	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE_IO	无
TRST _n	CW43	I	JTAG 重启信号。	VDDE_IO	下拉
TCK	CY42	I	JTAG 串行扫描时钟。	VDDE_IO	下拉
TSEL[1:0]	V42 Y42	I	JTAG 功能选择： 2'b00:LA464 JTAG 2'b01: JTAG	VDDE_IO	2'b00

2.3.7 时钟及配置信号

龙芯 3C5000 时钟相关信号参见表 2.11。处理器输入时钟信号包括 SYSCLK，差分时钟 HT0_CLK_p/HT0_CLK_n、差分时钟 HT1_CLK_p/HT1_CLK_n、差分时钟 HT2_CLK_p/HT2_CLK_n、差分时钟 HT3_CLK_p/HT3_CLK_n，此外还包括时钟配置信号 CLKSEL[9:0]。龙芯 3C5000 的 Core 时钟和 DDR 时钟通过 SYSCLK 产生，所使用的晶振频率需要与 CLKSEL[4] 的设置一致。HT 的时钟产生较为复杂。首先，四组差分时钟对 HT_x_CLK_p/HT_x_CLK 可以分别给四组对应的 HT 使用。此外，也可以使用单端时钟 SYSCLK 同时替代差分时钟输入，采用 CLKSEL[9:4] 进行相关控

制。CLKSEL 控制分频的方法参见表 2.12、表 2.13、表 2.14。

当 CLKSEL[3:2] 设置为 2'b00 时, 可以使用 HT0_CLKp/n 作为参考时钟输入替代 SYSCLK。

SYSCLK 或 HT0_CLKp/n 中必须有一组连接。其它 HTx_CLKp/n 不用时可以悬空。

系统配置的 CLKSEL 信号期望设置与内部上下拉值一致时, 可以悬空。但推荐的接法是保留对应反向上拉或下拉的电阻选焊不接, 以方便调试使用。

表 2.11 时钟及配置信号

信号名称	引脚标号	输入/输出	频率 (MHz)	描述	电压域
SYSCLK	CM40	I	25/100	系统输入时钟, 驱动内置的 PLL 产生处理器的各个时钟。同时作为系统复位电路的时钟。	VDDE_IO
HT0_CLKp/ HT0_CLKn	DM54 DN55	I	100/200	HT0 总线备份用参考时钟。	VDD_HT
HT1_CLKp/ HT1_CLKn	C55 D54	I	100/200	HT1 总线备份用参考时钟。	VDD_HT
HT2_CLKp/ HT2_CLKn	DK54 DL55	I	100/200	HT2 总线备份用参考时钟。	VDD_HT
HT3_CLKp/ HT3_CLKn	E55 F54	I	100/200	HT3 总线备份用参考时钟。	VDD_HT
CLKSEL[9:0]	AF40 AC41 AD40 AG41 AH40 AB42 AH42 AE41 AF42 AD42	I	-	Core、DDR 和 HT 的频率选择, 参见 2.12-2.14	VDDE_IO
SYSCLK_OUT	CN41	O	25/100	参考时钟输出观测, 仅测试用	VDDE_IO

表 2.12 CORE 时钟控制

信号	作用	内部上下拉
CLKSEL[1:0]	2'b00: 1GHz 2'b01: 2GHz 2'b10: 软件配置 (PLL 倍频频率范围要求 4.8-6.4GHz) 2'b11: SYSCLK (100MHz/25MHz)	2'b10

表 2.13 MEM 时钟控制

信号	作用	内部上下拉
CLKSEL[3:2]	2'b00: 选用 HT0_CLKp/n 作为参考时钟替代 SYSCLK, 并对 MEMPLL 使用软件配置 (PLL 倍频频率范围要求 4.8-6.4GHz) 2'b01: 600MHz 2'b10: 软件配置 (PLL 倍频频率范围要求 4.8-6.4GHz) 2'b11: SYSCLK (100MHz/25MHz)	2'b10

表 2.14 HT 时钟控制

信号	作用	内部上下拉
CLKSEL[9]	1'b1 表示 HT 控制器频率采用硬件设置 1'b0 表示 HT 控制器频率采用软件设置	1'b0
CLKSEL[8]	1'b1 表示 HT PLL 采用 SYSCLK 时钟输入	1'b1

	1'b0 表示 HT PLL 采用差分时钟输入	
CLKSEL[7]	1'b0 表示 PHY 时钟为 6.4GHz 1'b1 表示 PHY 时钟为 4.8GHz	1'b0
CLKSEL[6]	1-差分参考时钟采用 100MHz, 0-差分参考时钟采用 200MHz	1'b1
CLKSEL[5]	保留	1'b0
CLKSEL[4]	1-单端参考时钟采用 25MHz, 0-单端参考时钟采用 100MHz	1'b0

CLKSEL[9:4]建议配置为 6' b010100, 以获得更灵活的频率配置方式; CLKSEL[3:2]建议配置为 5' b10, 并在 BIOS 中对 MEM 的频率进行配置; CLKSEL[1:0]建议配置为 5' b10, 并在 BIOS 中对 NODE 的频率进行配置。具体配置方法请参考使用手册。CLKSEL[4]需要根据外部参考时钟晶振的频率设置相应的值。

2.3.8 GPIO 信号

龙芯 3C5000 中提供最多 32 个 GPIO 供系统使用, 且绝大部分进行了复用。需要特别指出的是, GPIO00 - GPIO15 芯片复位时即为 GPIO 功能, 默认为输入状态, 不驱动 IO; 而 GPIO16 - GPIO31 是复用 HT 的各个控制引脚, 复位时为 HT 功能, 为了防止内部逻辑驱动对应的 IO, 可以将对应的 HT0/1_Hi/Lo_Hostmode 引脚下拉。此时复位时虽然默认仍为 HT 功能, 但却不会驱动 IO 引脚, 不会对外部设备造成影响, 只需要在软件在使用 GPIO 功能前将功能设置为 GPIO 模式即可。

GPIO 不用时可悬空。

此外, 通过寄存器设置, 可以将 GPIO 配置为中断输入功能, 并可以设置其中断电平, 设置方法请参考使用手册中的 GPIO 相关章节。

GPIO 引脚的驱动能力从 2mA 至 12mA 软件可配置, 默认为最低驱动。

表 2.15 GPIO 信号

GPIO	引脚名称	引脚标号	复用功能	复位状态	电压域
0	GPIO00	CF40	SPI_CS _{n1}	输入高阻	VDDE_IO
1	GPIO01	CE41	SPI_CS _{n2}	输入高阻	VDDE_IO
2	GPIO02	CG27	UART1_RXD	输入高阻	VDDE_IO
3	GPIO03	CK40	UART1_TXD	输入高阻	VDDE_IO
4	GPIO04	CF26	UART1_RTS	输入高阻	VDDE_IO
5	GPIO05	CG41	UART1_CTS	输入高阻	VDDE_IO
6	GPIO06	CE27	UART1_DTR	输入高阻	VDDE_IO
7	GPIO07	CF28	UART1_DSR	输入高阻	VDDE_IO
8	GPIO08	CE31	UART1_DCD	输入高阻	VDDE_IO
9	GPIO09	CJ41	UART1_RI	输入高阻	VDDE_IO
10	GPIO10	CD40	-	输入高阻	VDDE_IO

11	GPIO11	CG33	-	输入高阻	VDDE_IO
12	GPIO12	CE33	-	输入高阻	VDDE_IO
13	GPIO13	CB40	SCNT_RSTn	输入高阻	VDDE_IO
14	GPIO14	CE29	PROCHOTn	输入高阻	VDDE_IO
15	GPIO15	CF32	THERMTRIPn	输入高阻	VDDE_IO
16	HT0_LO_POWEROK	DN49	GPIO16	对应 Hostmode 为 0 时为输入	VDDE_IO
17	HT0_LO_RSTn	DN47	GPIO17	对应 Hostmode 为 0 时为输入	VDDE_IO
18	HT0_LO_LDT_REQn	DP48	GPIO18	对应 Hostmode 为 0 时为输入	VDDE_IO
19	HT0_LO_LDT_STOPn	DM46	GPIO19	对应 Hostmode 为 0 时为输入	VDDE_IO
20	HT0_HI_POWEROK	DR51	GPIO20	对应 Hostmode 为 0 时为输入	VDDE_IO
21	HT0_HI_RSTn	DP52	GPIO21	对应 Hostmode 为 0 时为输入	VDDE_IO
22	HT0_HI_LDT_REQn	DN53	GPIO22	对应 Hostmode 为 0 时为输入	VDDE_IO
23	HT0_HI_LDT_STOPn	DP50	GPIO23	对应 Hostmode 为 0 时为输入	VDDE_IO
24	HT1_LO_POWEROK	B46	GPIO24	对应 Hostmode 为 0 时为输入	VDDE_IO
25	HT1_LO_RSTn	D46	GPIO25	对应 Hostmode 为 0 时为输入	VDDE_IO
26	HT1_LO_LDT_REQn	B48	GPIO26	对应 Hostmode 为 0 时为输入	VDDE_IO
27	HT1_LO_LDT_STOPn	A49	GPIO27	对应 Hostmode 为 0 时为输入	VDDE_IO
28	HT1_HI_POWEROK	D52	GPIO28	对应 Hostmode 为 0 时为输入	VDDE_IO
29	HT1_HI_RSTn	C49	GPIO29	对应 Hostmode 为 0 时为输入	VDDE_IO
30	HT1_HI_LDT_REQn	C51	GPIO30	对应 Hostmode 为 0 时为输入	VDDE_IO
31	HT1_HI_LDT_STOPn	C53	GPIO31	对应 Hostmode 为 0 时为输入	VDDE_IO

SCNT_RSTn 功能说明：用于复位处理器核的稳定时钟计数。结点 0 使用 GPIO12 来输出复位信号，其它所有结点（包括结点 0）使用 GPIO13 来输入复位信号（需要配置为 Stable counter 功能）。以四路为例，多路系统中主板必须按照以下方式进行连接：

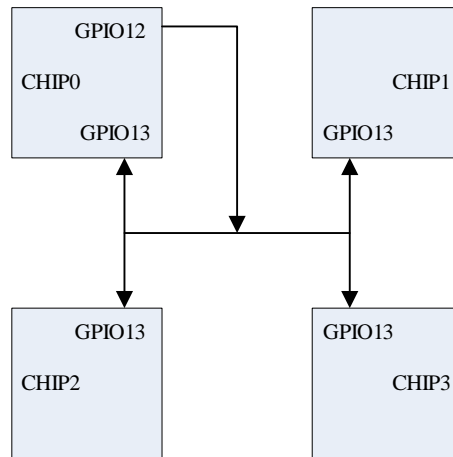


图 2.2 多路系统 GPIO 连接示意图

PROCHOTn 作为输入时，芯片受外部温度检测电路的控制，外部温度检测电路需要降低芯片温度时可以置 PROCHOTn 为 0，芯片接收到该低电平后可以采取降频措施，降频时的分频值由通过寄存器 prochothn_freq_scale 设置。PROCHOTn 作为输出时，芯片可输出高温中断，通过 prochothn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

THERMTRIPn 作为输出，由芯片通过 thermtripn_o_sel 寄存器从高温中断控制寄存器所设置的 4 个中断中选择一个作为对外发出的高温中断。

2.3.9 测试控制信号

龙芯 3C5000 芯片的测试控制信号用于区分芯片的实际工作状态。当芯片正常工作，测试功能被禁用。用于测试的控制信号为 DOTEST 信号，运行在功能模式时需要进行上拉处理。

表 2.16 JTAG 接口信号

信号名称	引脚标号	输入/输出	描述	电源域	内部上下拉
DOTESTn	F42	I	DOTESTn=0, 芯片处于测试模式; DOTESTn=1, 芯片处于正常功能模式。	VDDE_IO	上拉

2.3.10 电源地引脚

表 2.17 电源引脚

电源域	描述	引脚名称	引脚标号
VDDN	处理器核数字电源	VDDN	见附录一
VDDP	处理器核外围数字电源	VDDP	见附录一

		VDD_RNG_SE	
VDDE_IO	处理器 IO 电源	VDDE_IO	见附录一
	SE 模块 IO 电源	VDD_OSC_SE	见附录一
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01 VDDIO_DDR_23	见附录一
VDD_HT	HT IO 电源	VDD_HT	见附录一
VDD_PLL_SYS	SYS PLL 模拟电源	VDD_PLL_SYS	见附录一
VDD_PLL_DDR	DDR PLL 模拟电源	VDD_PLL_DDR	见附录一
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01 VDD_PHY_DDR_23	见附录一
VDD_PLL_SE	SE PLL 电源	VDD_PLL_SE	见附录一
VDD_PLL_HT	HT0/1 PLL 模拟电源	VDD_HT_PLL	见附录一
VDD_PLL_BackUp	1V8 Back Up PLL 电源	VDD_1V8PLL_BU	见附录一
VDD_VTS	VTsensor 电源	VDD_VTS_S1 VDD_VTS_S3	见附录一
VSS	地平面	VSS	见附录一

2.4 引脚复用关系

龙芯 3C5000 中，仅 GPIO 引脚与其它功能存在复用关系，详见 2.3.8 节说明。

3. 功能及接口说明

3.1 HyperTransport 接口

龙芯 3C5000 处理器拥有一组 HyperTransport 总线接口用于 I/O 连接，简称为 HT0。其接口为 16 位宽度，可以拆为两路 8 位使用。

此外，龙芯 3C5000 处理器集成了三组用于一致性互连的高速互连接口，简称为 HT1/2/3。其接口皆为 16 位宽，可以分别独立拆分为两组各 8 位使用。

3.1.1 接口特性

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03/HyperTransport 3.0；
- I/O 接口频率支持 200 - 3200MHz；
- 一致性互连频率支持 200 - 4000MHz；
- HT0 支持 I/O Cache 一致性；
- HT1/2/3 支持片间一致性协议，最多支持 16 路互连；
- 当用作片间互连时，可以通过 CHIP_CONFIG[4] 将 HT0 与特定的 HT1/2/3 交换，以兼容龙芯 3C5000L 的连接拓扑结构。

3.1.2 模式配置

HyperTransport 接口包括以下几个配置引脚：

- HTx_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用；
- HTx_x_Hostmode，用于配置 HT 总线上单端控制信号的 I/O 方向，具体请见表 2.2；

3.1.3 系统接口连接

龙芯 3C5000 中的 HT0 接口用于系统中的 I/O 连接，通过硬件自动维护与系统内存的一致性。HT1/2/3 用于多处理器互连使用，不支持 I/O 连接。但为了支持原有 3C5000L 的连接拓扑结构，可以通过 CHIP_CONFIG[4] 将 HT0 与特定的 HT1/2/3 交换。

针对不同的系统有规定的连接方式，以方便软件的兼容处理，具体的系统连接要求请参考对应桥片的相关设计规范。

不同系统中的连接方式如下所示：

- 龙芯 3C5000 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如下图所示：

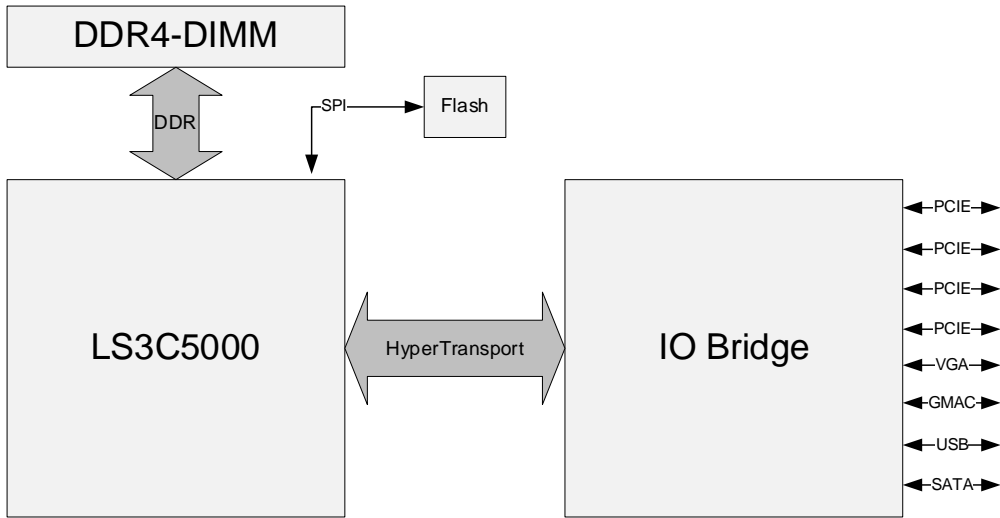


图 3.1 单处理器系统 HT 接口连接

- 龙芯 3C5000 多处理器系统连接。用于多处理器间互联时，HT0 接口硬件用于 IO 连接，与桥片互连。HT1/2/3 支持处理器核间 Cache 一致性协议，可以使用 HT1/2/3 接口构成最多 16 片龙芯 3C5000 处理器的互连系统。下图分别给出了 2 片和 4 片互连的方式。图示中给出了 HT0 与其它 HT 互换时的具体连接方案。

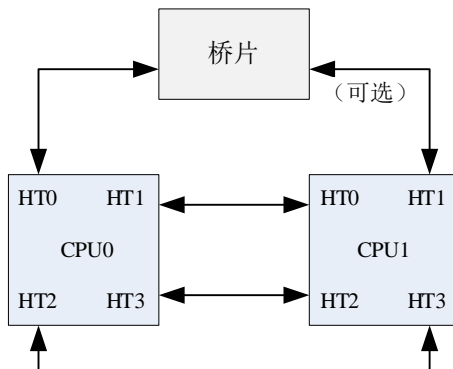


图 3.2 多处理器系统 HT 接口连接

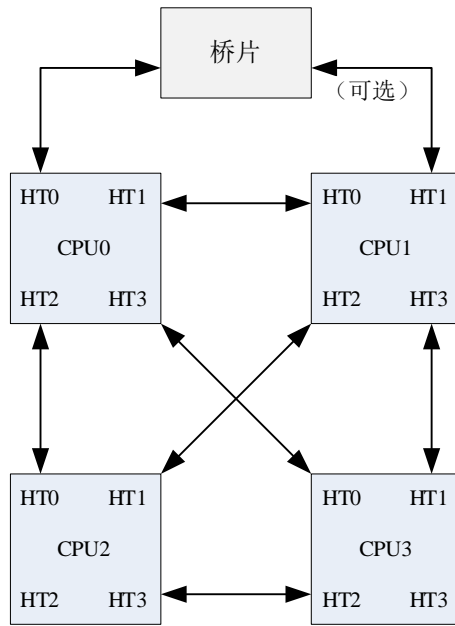


图 3.3 多处理器系统 HT 接口连接（四片）

3.2 DDR 接口

龙芯 3C5000 处理器内部集成的内存控制器的设计遵守 DDR4 SDRAM 的行业标准（JESD79-4）。

3.2.1 内存控制器功能概述

龙芯 3C5000 处理器中，每个内存控制器支持最大 8 个 CS，其中每 4 个 CS 可以对应一个内存插槽，每个控制器最多支持两个内存插槽，每个处理器最多支持八个内存插槽。

龙芯 3C5000 处理器在具体选择使用不同内存芯片类型时，可以调整控制器参数设置进行支持，能支持各种容量大小的内存条。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

龙芯 3C5000 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求，在所有的内存读/写操作中，内存控制电路处于从设备状态。

龙芯 3C5000 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测，并能对 1 位错进行自动纠错
- 支持内存地址镜像功能
- 支持 RDIMM、UDIMM、So-DIMM 以及贴片等不同内存形态
- 支持 x4、x8、x16 颗粒
- 支持 133-800MHz 内部工作频率
- 最高支持 DDR4-3200

3.2.2 初始化操作

内存控制器必须经过软件初始化之后，才可以正常使用，以下为对控制器进行初始化的具体方法。

初始化操作由软件向寄存器 `Init_start`（0x010）写入 1 时开始，在设置 `Init_start` 信号之前，必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下：

- (1) 软件向所有的寄存器写入正确的配置值，但是 `Init_start`（0x010）在这一过程中必须保持为 0；
- (2) 软件将 `Init_start`（0x010）设置为 1，这将导致硬件初始化的开始；
- (3) PHY 内部开始初始化操作，DLL 将尝试进行锁定操作。如果锁定成功，则可以从 `Dll_init_done`（0x030）读出对应状态，并可以从 `Dll_value_ck`（0x030）读写当前锁定延迟线个数；如果锁定不成功，则初始化不会继续进行（此时可以通过设置 `Dll_bypass`（0x030）使得初始化继续执行）；
- (4) DLL 锁定（或者 `bypass` 设置）之后，控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列，例如对应的 MRS 命令，ZQCL 命令等等；
- (5) 软件可以通过采样 `Dram_init`（0x010）寄存器来判断内存初始化操作是否完成。

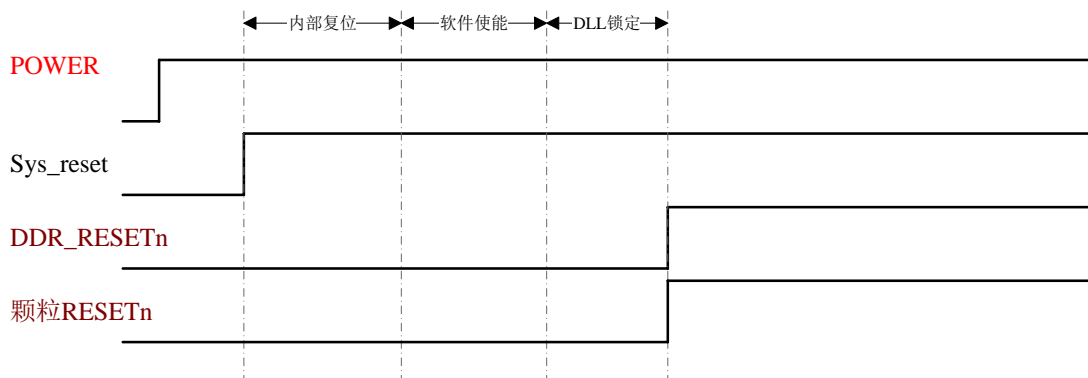
3.2.3 复位引脚的控制

为了在 STR 等状态下更加简单地控制复位引脚，可以通过 `pad_reset_po`（0x808）寄存器进行特别的复位引脚（DDR_RESETE_n）控制，主要的控制模式有两种：

(1) 一般模式, $\text{pad_reset_po}[1:0] = 2' \text{ b}00$ 。这种模式下, 复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR_RESETn 与内存槽上的对应引脚相连。引脚的行为是:

- 未上电时: 引脚状态为低;
- 上电时: 引脚状态为低;
- 控制器开始初始化时, 引脚状态为高;
- 正常工作时, 引脚状态为高。

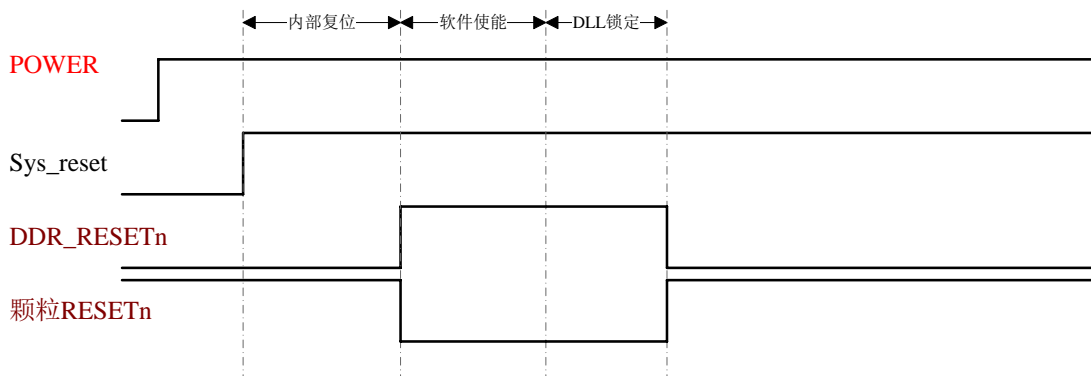
时序如下图所示:



(2) 反向模式, $\text{pad_reset_po}[1:0] = 2' \text{ b}10$ 。这种模式下, 复位信号引脚在进行内存实际控制的时候, 有效电平与一般的控制模式相反。所以主板上需要将 DDR_RESETn 通过反向器与内存槽上的对应引脚相连。引脚的行为是:

- 未上电时: 引脚状态为低;
- 上电时: 引脚状态为低;
- 控制器开始配置时: 引脚状态为高;
- 控制器开始初始化时: 引脚状态为低;
- 正常工作时: 引脚状态为低。

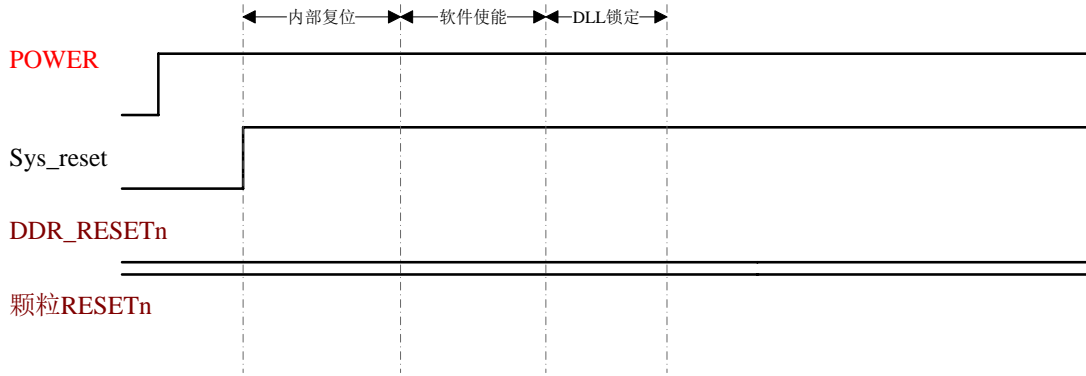
时序如下图所示:



(3) 复位禁止模式， $\text{pad_reset_po}[1:0] = 2'b01$ 。这种模式下，复位信号引脚在整个内存工作期间，保持低电平。所以主板上需要将 DDR_RESETn 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 始终为低。

时序如下图所示：



由后两种复位模式相配合，就可以直接在使用内存控制器的复位信号的情况下实现 STR 控制。当整个系统从关闭状态下启动时，使用（2）中的方法来使用内存条正常复位并开始工作。当系统从 STR 中恢复的时候，使用（3）中的方法来重新配置内存条，使得在不破坏内存条原有状态的条件上使其重新开始正常工作。

4. 芯片启动及初始化

4.1 引导启动说明

龙芯 3C5000 支持本地启动和远程启动两种不同的启动方式。

本地启动是指从本芯片的 SPI Flash 接口进行取指启动。

远程启动是指多片互连时其它处理器芯片从 0 号处理器的 SPI Flash 取指启动。

本地启动或远程启动是通过配置引脚 CHIP_CONFIG[3] 进行设置的。

0 号处理器只能从本地启动；其它处理器在 CHIP_CONFIG[3] 下拉时为远程启动，上拉时为本地启动。

多片互连时，设置为本地启动的芯片必须外接 SPI Flash，SPI Flash 一般与 0 号处理器所连接的 Flash 内容一致。使用本地启动模式，能够减少各个处理器核在启动取指时的冲突情况，减少启动时间。

4.2 上电配置说明

上电配置引脚包括 DOTESTn、ICCC_EN、CHIP_ID、CHIP_CONFIG、DEV_CONFIG 和 CLKSEL。

这些静态配置信号在系统复位时必须保持稳定，而且在系统工作中不可修改。系统软件可以从相关的内部寄存器中读取部分引脚的对应值。

一种推荐的设置值如下：

表 4.1 上电配置引脚

引脚	设置	说明
DOTESTn	上拉	功能模式
ICCC_EN	单片系统下拉； 多片系统上拉	单片系统不需要跨片访问； 多片系统需要跨片访问
CHIP_ID[3:0]	根据处理器连接拓扑结构的位置进行设置	必须与连接结构对应，不可随意设置
CHIP_CONFIG[5]	下拉	禁用 DCDL
CHIP_CONFIG[4]	上拉	使用 HT 交换，兼容 3C5000L 连接结构
CHIP_CONFIG[3]	下拉	远程启动
CHIP_CONFIG[2]	上拉	采用大地址空间模式
CHIP_CONFIG[1]	下拉	HT 接口速率自动协商
CHIP_CONFIG[0]	下拉	禁用 SE 功能

DEV_CONFIG[9]	下拉	禁用双片互连模式
DEV_CONFIG[8]	下拉	禁用高低位环形互连模式
DEV_CONFIG[7:0]	根据连接是否线序交换进行配置	必须与连接方式对应，不可随意设置
CLKSEL[9]	下拉	使能 HT 软件配置时钟模式
CLKSEL[8]	上拉	使用 SYS_CLOCK 作为 HT 参考时钟
CLKSEL[7:6]	2' b01	默认使用 6.4GHz HT PLL VCO 设置
CLKSEL[5]	下拉	没有使用差分参考时钟，设置没有作用
CLKSEL[4]	下拉	使用 100MHz 参考时钟输入
CLKSEL[3:2]	2' b10	使用 MEM 软件配置时钟模式
CLKSEL[1:0]	2' b10	使用 NODE 软件配置时钟模式

4.3 复位操作

龙芯 3C5000 的复位引脚包括 SYSRESETn 和各个 HT 接口的 HTx_HI/LO_powerok、HTx_HI/LO_resetrn，这三者的复位有一定时序要求，次序依次为 SYSRESETn，再到各个 HT 的 powerok，再到各个 HT 的 resetrn。

当处理器复位信号 SYSRESETn 被释放之前一段时间，相关的时钟，测试信号和初始化信号都必须已经稳定有效。这些信号包括上一节提及的配置信号以及参考时钟：

- 当使用单端参考时钟时（CLKSEL[3:2]!=2' b00 时），SYSCLK
- 当使用差分参考时钟时（CLKSEL[3:2]==2' b00 时），HT0_CLKp/n
- HT 使用差分时钟，且对应接口有连接时，HT0_CLKp/n 和 HT1_CLKp/n、HT2_CLKp/n
- 初始化信号 DOTESTn、ICCC_EN、CHIP_ID、CHIP_CONFIG、DEV_CONFIG 和 CLKSEL

当 SYSRESETn 变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn 应在电源稳定后保持至少 100ms 有效，以保证复位逻辑能可靠采样。此后 Core、DDR 和 HT 时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

5. 时钟

5.1 时钟内部关系

龙芯 3C5000 内部的时钟关系及其控制方式如下表所示。

表中的 SYS_CLOCK 可以选择为单端的 SYSCLK 输入，也可以是差分的 HT0_CLKp/n 输入，由 CLKSEL[3:2] 的值决定。

表 5.1 处理器内部时钟说明

时钟	时钟来源	倍频方式	分频控制	使能控制	时钟描述
Boot Clock	SYS_CLOCK	*1	不支持	不支持	SPI、UART、I2C 控制器时钟
Main Clock	SYS PLL	PLL 配置	不支持	不支持	SYS PLL 输出。 Node Clock、Core Clock、HTcore Clock、 LA132 Clock 时钟源 Mem Clock、Stable Clock 可选时钟源
Node Clock	Main Clock	*1	支持	不支持	片上网络、共享缓存、结点时钟、HT 控制器时钟源
Core0 Clock	Main Clock	*1	支持	支持	Core0 时钟
Core1 Clock	Main Clock	*1	支持	支持	Core1 时钟
Core2 Clock	Main Clock	*1	支持	支持	Core2 时钟
Core3 Clock	Main Clock	*1	支持	支持	Core3 时钟
HTcore0 Clock	Node Clock	*1	支持	支持	HT0 控制器时钟，软件需要保证分频后 低于 1.25GHz
HTcore1 Clock	Node Clock	*1	支持	支持	HT1 控制器时钟，软件需要保证分频后 低于 1.25GHz
HTcore2 Clock	Node Clock	*1	支持	支持	HT2 控制器时钟，软件需要保证分频后 低于 1.25GHz
HTcore3 Clock	Node Clock	*1	支持	支持	HT3 控制器时钟，软件需要保证分频后 低于 1.25GHz
LA132 Clock	Main Clock	*1	支持	支持	LA132 时钟，软件需要保证分频后低于 1GHz
Stable Clock	SYS_CLOCK	*1	支持	支持	处理器核恒定计数器时钟
Mem Clock 0/1	MEM PLL0	PLL 配置	不支持	支持	内存控制器 0/1 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 0/1 备选时钟
Mem Clock 2/3	MEM PLL1	PLL 配置	不支持	支持	内存控制器 2/3 时钟
	Main Clock	/2、/4、/8	不支持	支持	内存控制器 2/3 备选时钟

5.2 时钟需求

处理器包括以下参考时钟,其中 SYSCLK 或者 HT0_CLKp/n 可被选为全芯片的主参考时钟,一般情况下只需要使用这其中一个是时钟即可,其它 HTx_CLKp/HTx_CLKn 为备份时钟,可以不接。

SYSCLK 可以使用两种频率的晶振输入,分别为 100MHz 与 25MHz。连接不同的时钟频率时需要通过 CLKSEL[4] 进行配置以保证芯片内部的时钟能够正常工作。

HTx_CLKp/n 可以使用两种频率的差分输入,分别为 100MHz 与 200MHz。连接不同的时钟频率时需要通过 CLKSEL[5] 进行配置以保证芯片内部的时钟能够正常工作。

表 5.2 参考时钟输入

信号名称	输入/输出	频率范围(MHz)	描述	电压域
SYSCLK	I	25/100	系统输入时钟,驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE_IO
HT0_CLKp/ HT0_CLKn	I	200	HT0 总线备份用参考时钟。	VDD_HT
HT1_CLKp/ HT1_CLKn	I	200	HT1 总线备份用参考时钟。	VDD_HT
HT2_CLKp/ HT2_CLKn	I	200	HT2 总线备份用参考时钟。	VDD_HT
HT3_CLKp/ HT3_CLKn	I	200	HT3 总线备份用参考时钟。	VDD_HT

5.2.1 单端时钟输入要求

SYSCLK 输入为 LVCOMS 类型,电平 1.8v。要求如下表:

条件	说明	最小	典型	最大	单位
V	供电电压				
Vih	输入高电压	1.25			V
Vil	输入低电压			0.4	V
Cin	输入电容		2		pf
Tr	上升沿时间	1	2.2	3.6	V/ns
Tf	下降沿时间				
Duty Cycle	占空比	45%~55%			
Clock jitter	时钟抖动 (multiple output frequencies switching)		74		ps

5.2.2 差分时钟输入要求

HTx_CLKp/HTx_CLKn 为备份时钟,可以通过 CLKSEL 配置为 HT PHY 的参考时钟,输入为

LVDS 类型。因为可以配置使用 SYSCLK 作为 HT PHY 的参考时钟输入，这种情况下，这两组差分时钟可以悬空。

条件	说明	最大	典型	最小	单位
V	供电电压				
Vih	输入高点压	454		247	mV
Vil	输入低电压	-247		-454	mV
Cin	输入电容				
Tr	上升沿时间		300		ps
Tf	下降沿时间		300		ps
Duty Cycle	占空比	45%~55%			
Clock jitter	时钟抖动 (multiple output frequencies switching)		46		ps

5.3 频率配置

处理器的主要时钟由三种 PLL 产生，分别是 SYS PLL、两个 MEM PLL 和若干个 HT PLL。

其中 SYS PLL 和 MEM PLL 可以分别通过引脚配置选择使用硬件配置频率或是软件配置频率。选择硬件配置频率时，PLL 的输出时钟频率和配置方式只由引脚决定，软件不能进行修改；选择软件配置频率时，芯片复位后默认使用 SYS_CLOCK，由软件对对应的 PLL 进行设置之后产生期望的频率并使用，在系统运行过程中，可以在满足要求的情况下随时更改。软件配置频率是目前推荐的配置方式，具体配置方法请参考使用手册中的相关章节。

HT PLL 也可以通过引脚配置选择使用硬件配置频率或是软件配置频率，但其软件配置的行为与 SYS PLL 和 MEM PLL 有一些差异。HT PLL 在硬件配置下，由引脚决定频率和配置方式，软件不能修改 PLL 的输出，但是，对于 HT 总线来说，硬件配置只决定了可选频率的最大公倍数，具体的总线频率可以由 HT 协议规定的寄存器进行设置。HT PLL 在软件配置下，芯片复位后默认使用引脚设置的频率和配置方式，但软件随后可以通过 HT 控制器内的寄存器进行配置和切换，也可以选择直接使用硬件的设置，通过 HT 协议规定的寄存器进行总线频率的设置，具体的配置寄存器请参考使用手册中的相关章节。

芯片内其它时钟依赖于这些时钟，由软件进行设置，具体的配置方法请参考使用手册中的相关章节。

6. 电源管理

6.1 电源域

芯片各个电源域包括的电源引脚如下：

电源域	描述	引脚名称
VDDN	处理器核电源	VDDN
VDDP	处理器核外围电源	VDDP VDD_RNG_SE
VDDE_IO	普通 IO 电源	VDDE_IO VDD_OSC_SE
VDDIO_DDR	DDR 通道 IO 电源	VDDIO_DDR_01 VDDIO_DDR_23
VDD_HT	HT IO 电源	VDD_HT
VDD_PLL_SYS	SYS PLL 电源	VDD_PLL_SYS
VDD_PLL_DDR	VDD_PLL_电源	VDD_PLL_DDR
VDD_PHY_DDR	DDRPHY 电源	VDD_PHY_DDR_01 VDD_PHY_DDR_23
VDD_PLL_SE	SE PLL 电源	VDD_PLL_SE
VDD_HT_PLL	HT PLL 电源	VDD_HT_PLL
VDD_PLL_BackUp	1V8 Back Up PLL 电源	VDD_1V8PLL_BU
VDD_VTS	VT Sensor 电源	VDD_VTS_S1
VDD_VTS	VT Sensor 电源	VDD_VTS_S3

芯片对于上电顺序没有强制要求，推荐先上核心电压（VDDN、VDDP），再自低向高上其它电（*_PLL、VDD_HT、VDDIO_DRR、VDDE_IO）。

龙芯 3C5000 的电压工作范围差别较大，针对不同的质量等级，其工作电压各有不同。无论何种工作电压，都需要将不同工作负载时的电源波动抑制在±25mV 之内。

7. 热设计

7.1 热参数

表 7.1 芯片热阻参数

热阻	典型值(° C/W)
整体热阻	0.9
结壳热阻	0.3
基底热阻	0.6

7.2 TDP 信息

表 7.2 芯片热特性参数和推荐的最大值

参数	要求
TDP Max Power (LS3C5000)	200W
TDP Max Power (LS3C5000-LL)	160W
T_c / T_j	70 ° C / 85 ° C

7.3 焊接温度及焊接曲线

无

8. 仿真模型

芯片的设计资料包括相关引脚的 IBIS 模型，可以通过硬件设计获取。

9. 电气特性

9.1 极限工作条件

表 9.1 绝对最大额定值

电源域	描述	Min.	Max.	Unit
VDDN	处理器核心数字电源	-0.3	1.35	V
VDDP	处理器外围数字电源	-0.3	1.35	V
VDDE_IO	1.8VIO 电源	-0.3	1.9	V
VDDIO_DDR	DDR 通道 IO 电源	-0.3	1.26	V
VDD_HT	HT IO 电源	-0.3	1.3	V
VDD_PLL_SYS	SYS PLL 电源	-0.3	1.4	V
VDD_PLL_DDR	DDR PLL 电源	-0.3	1.4	V
VDD_PHY_DDR	DDRPHY PLL 电源	-0.3	1.4	V
VDD_PLL_SE	SE PLL 电源	-0.3	1.4	V
VDD_HT_PLL	HT PLL 电源	-0.3	1.4	V
VDD_PLL_BackUp	1V8 Back Up PLL 电源	-0.3	1.9	V
VDD_VTS	VT Sensor voltage	-0.3	1.9	V
Tstg	Storage Temperature	-55	100	°C

ESD 等级：静电放电敏感度（ESD）：HBM-1000V

表 9.2 芯片温度限额

参数	描述	最小值	最大值
Tabsolute storage	芯片在非工作条件下的绝对保存温度。超过该温度范围，可能造成芯片损坏。	-65°C	150°C
Tsustained storage	芯片在包装条件下的长时间存放温度范围。	-5°C	40°C
RHsustained storage	芯片在包装条件下的长时间存放湿度范围。	60%@24°C	
Tj	芯片在工作条件下的结温范围。	0°C	85°C

9.2 典型工作条件

表 9.3 推荐的工作电源电压

电源域	描述	电压值			最大电流
		最小	典型	最大	
VDDN	Chip core voltage	1.0V	1.15V 1.05V	1.30V	200A

VDDP	Chip SOC voltage	0.8V	1.20V	1.30V	20A
VDDE_IO	IO voltage	1.7V	1.8V	1.9V	1A
VDDIO_DDR	DDR4 IO voltage	1.14V	1.2V	1.26V	10A
VDD_HT	HT IO voltage	1.1V	1.2V	1.3V	10A
VDD_PLL_SYS	System PLL voltage	1.1V	1.25V	1.4V	0.5A
VDD_PLL_DDR	DDR PLL voltage	1.1V	1.25V	1.4V	
VDD_PHY_DDR	DDR PHY voltage	1.1V	1.25V	1.4V	
VDD_PLL_SE	SE PLL voltage	1.1V	1.25V	1.4V	
VDD_HT_PLL	HT PLL voltage	1.1V	1.25V	1.4V	
VDD_PLL_BackUp	BackUp voltage	1.7V	1.8V	1.9V	
VDD_VTS	VT Sensor voltage	1.7V	1.8V	1.9V	

龙芯 3C5000 芯片分为两个版本，不同版本芯片针对的工作环境、工作电压及实际功耗有所不同，不可相互替换。芯片在错误的工作电压下，可能会引起工作异常或使用寿命问题。在选用前必须明确对应的芯片分级。

不同版本的说明如下表：

表 9.4 芯片分级

芯片标识	质量等级	典型电压*	电源要求	典型功耗*	壳温范围	说明
LS3C5000	商业级	1.15V	±25mV	150W	0 - 70℃	商业级版本 工作频率 2.2GHz
LS3C5000-LL	商业级	1.05V	±25mV	110W	0 - 70℃	商业级版本 工作频率 2.0GHz

*典型电压为 VDDN 的电压设置

*表中数据为典型工作条件下 VDDN 电压域测得的典型值（SPEC CPU 2006 RATE 运行时测得全芯片最大功耗），受运行温度影响，处理器正常工作时很少超过该值。芯片运时功耗受负载的影响，待机或低负载工作功耗远低于典型值。

9.3 功耗信息

9.3.1 不同场景应用功耗

25 度环境温度下，工作频率 2.4GHz/DDR-1600，vddn 电压 1.15v，vddp1.05v，插满 4

根内存条，使用风扇散热，在运行不同应用时，不进行系统动态控制下，其最大功耗如下表：

表 9.5 2.4GHz 不同应用最大功耗测量值

电源域（单位：W）		系统空闲	SPEC CPU 2006	IOzone	Linpack
VDDN		25.32w	129.49w	31.07w	162.73w
VDDP		-	-	-	-
VDDE_IO		0.3285w	0.333w	0.3285w	0.3285w
VDDIO_DDR	13	3.123w	6.162w	4.041w	5.709w
	02	2.469w	4.89w	3.165w	4.476w
VDD_HT	Rx	1.521w	1.53w	1.542w	1.512w
	Tx	2.052w	2.115w	2.1w	2.064w
SYS_PLL		0.010313w	0.010547w	0.010339w	0.010521w
DDR_PLL		-	-	-	-
DDR_PHY		0.7325w	1.0325w	0.77w	0.9825
SE_PLL		0.00225w	0.002281w	0.00225w	0.002281w
HT_PLL		0.106641w	0.106641w	0.106641w	0.106641w
BackUp		-	-	-	-
VT Sensor		0.184275w	0.184275w	0.184275w	0.184275w
总计		35.8495w	145.8562w	43.254w	178.1717w

25 度环境温度下，工作频率 2.4GHz/DDR-1600，vddn 电压 1.15v，vddp1.05v，插满 4 根内存条，使用风扇散热，在 SPEC CPU 2006 应用时，不进行系统动态控制下，其平均功耗如下表：

表 9.6 2.4GHz 典型应用平均功耗测量值

电源域（单位：W）		SPEC CPU 2006
VDDN		67.96 w
VDDP		—
VDDE_IO		0.3289w
VDDIO_DDR	13	4.613w
	02	3.664w
VDD_HT	Rx	1.525w
	Tx	2.089w
SYS_PLL		0.0104w
DDR_PLL		-
DDR_PHY		0.8531 w
SE_PLL		0.0022w
HT_PLL		0.1066w
BackUp		-
VT Sensor		0.184275w
总计		81.3365w

25 度环境温度下，工作频率 2.1GHz/DDR-1600，vddn 电压 1.05v，vddp1.05v，插满 4 根内存条，使用风扇散热，在运行不同应用时，不进行系统动态控制下，其最大功耗如下表：

表 9.7 2.1GHz 不同应用最大功耗测量值

电源域（单位：W）		系统空闲	SPEC CPU 2006	IOzone	Linpack
VDDN		17.86w	89.33w	22.07w	118.76w
VDDP		-	-	-	-
VDDE_IO		0.324w	0.3285w	0.3285w	0.3285w
VDDIO_DDR	13	2.877w	5.895w	3.807w	5.394w
	02	2.628w	5.07w	3.312w	4.557w
VDD_HT	Rx	1.524w	1.53w	1.506w	1.533w
	Tx	2.034w	2.079w	2.052w	2.082w
SYS_PLL		0.014531w	0.014766w	0.014583w	0.014792w
DDR_PLL		-	-	-	-
DDR_PHY		0.74w	1.02w	0.765w	0.955w
SE_PLL		0.001812w	0.001844w	0.001812w	0.001844w
HT_PLL		0.106641w	0.106641w	0.106641w	0.106641w
BackUp		-	-	-	-
VT Sensor		0.184275w	0.184275w	0.184275w	0.184275w
总计		28.3252w	105.5913w	34.1788w	133.9484w

25 度环境温度下，工作频率 2.1GHz/DDR-1600，vddn 电压 1.05v，vddp1.05v，插满 4 根内存条，使用风扇散热，在 SPEC CPU 2006 应用时，不进行系统动态控制下，其平均功耗如下表：

表 9.8 2.1GHz 典型应用平均功耗测量值

电源域（单位：W）		SPEC CPU 2006
VDDN		45.65w
VDDP		-
VDDE_IO		0.325w
VDDIO_DDR	13	4.226w
	02	3.725w
VDD_HT	Rx	1.521w
	Tx	2.061w
SYS_PLL		0.014658
DDR_PLL		-
DDR_PHY		0.839w
SE_PLL		0.001812w
HT_PLL		0.106641w
BackUp		-
VT Sensor		0.184275w
总计		58.6855w

9.3.2 不同温度应用功耗

选取不同的应用场景，在不同温度（壳温）下的功耗数据如下表：

(1) 系统空闲

表 9.9 空闲时不同壳温功耗测量值

电源域（单位：W）	25 度	45 度	70 度
VDDN			
VDDP			
VDDE_IO			
VDDIO_DDR			
VDD_HT			
SYS_PLL			
DDR_PLL			
DDR_PHY			
SE_PLL			
HT_PLL			
BackUp			
VT Sensor			
总计			

(2) SPEC CPU 2006

表 9.10 运行 SPEC CPU 2006 时不同壳温功耗测量值

电源域（单位：W）	25 度	45 度	70 度
VDDN			
VDDP			
VDDE_IO			
VDDIO_DDR			
VDD_HT			
SYS_PLL			
DDR_PLL			
DDR_PHY			
SE_PLL			
HT_PLL			
BackUp			
VT Sensor			
总计			

(3) Linpack

表 9.11 运行 Linpack 时不同壳温功耗测量值

电源域（单位：W）	25 度	45 度	70 度

VDDN			
VDDP			
VDDE_IO			
VDDIO_DDR			
VDD_HT			
SYS_PLL			
DDR_PLL			
DDR_PHY			
SE_PLL			
HT_PLL			
BackUp			
VT Sensor			
总计			

9.4 电源时序

龙芯 3C5000 的上电时序并没有特殊要求，推荐先上 Core 电，再上 IO 电。

9.5 接口电气特性

9.5.1 HyperTransport 接口

HT 接口兼容 HT1.0 与 HT3.0。频率范围为 200MHz - 3200MHz。支持 DC、AC 两种工作模式。

HT1.0 的工作频率为 200 - 800MHz，符合 HT1.03a 协议规范。

HT3.0 的工作频率为 1000 - 3200MHz，符合 HT3.0 协议规范。

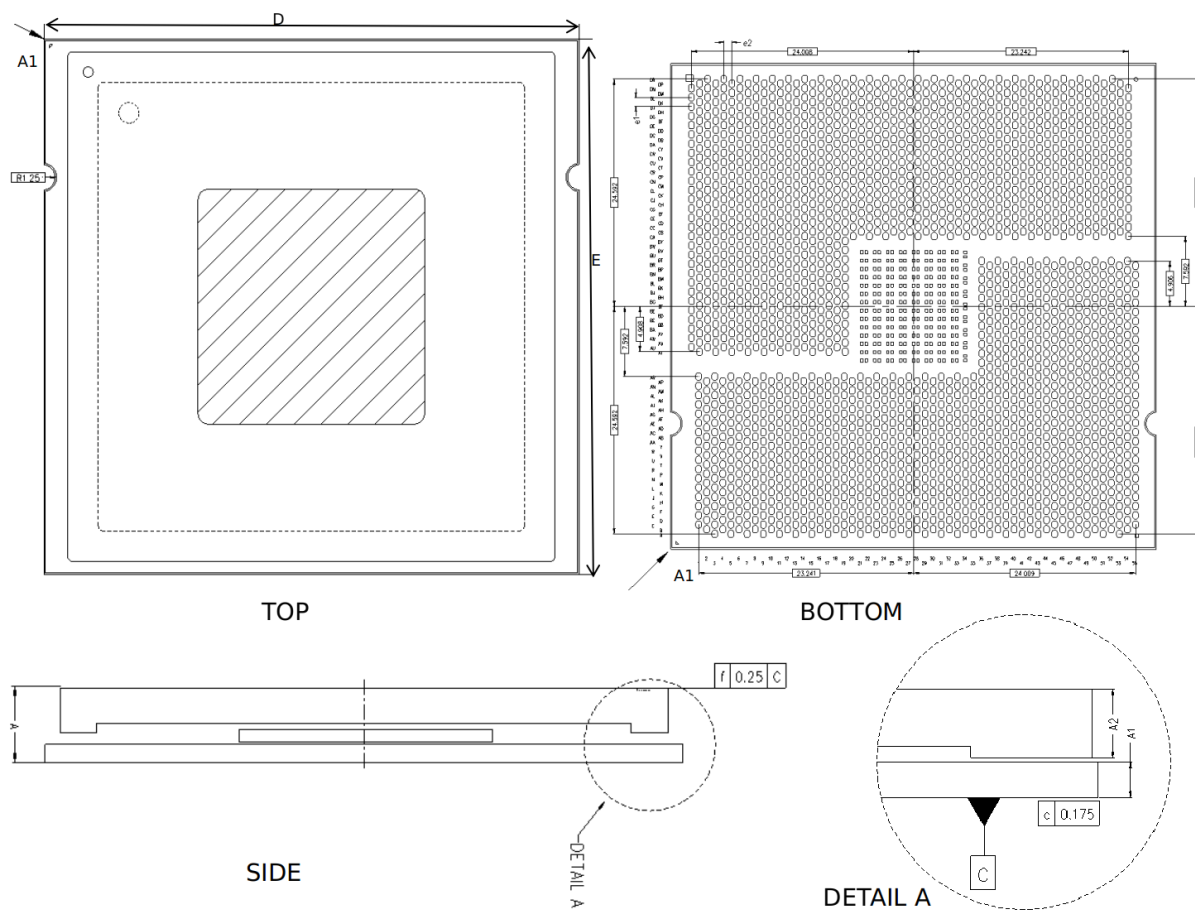
9.5.2 DDR 接口

DDR 接口兼容 DDR4，符合 JESD79-4 标准。

10. 封装信息

10.1 封装尺寸

如下所示:



COMMON DIMENSIONS

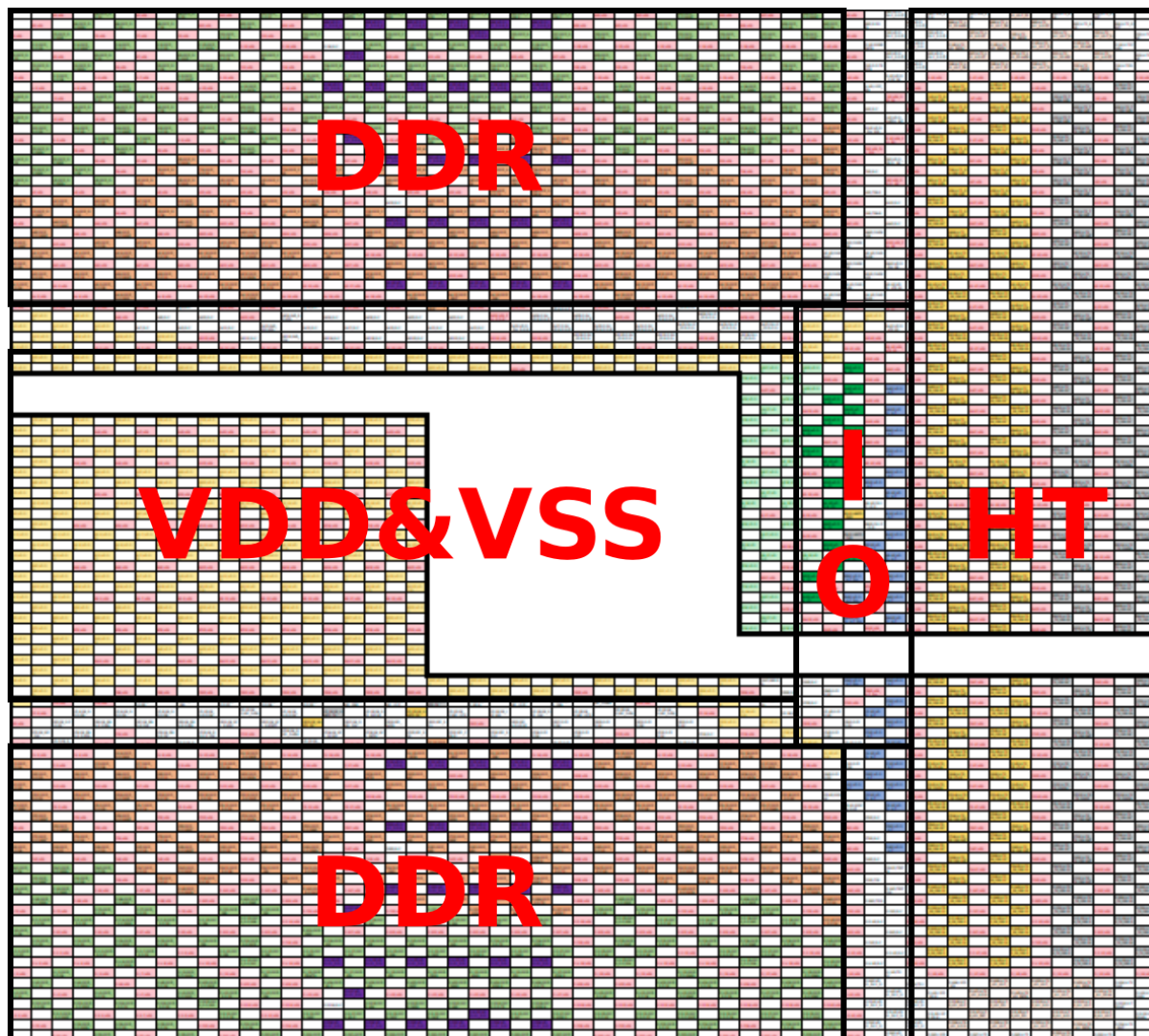
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	5.250	5.500	5.750
A1	1.387	1.542	1.697
A2	3.650	3.700	3.750
D	52.400	52.500	52.600
E	52.400	52.500	52.600
e1	1.00 BSC		
e2	0.875BSC		
N	2422		

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.
4. CPU PAD TP: ϕ 0.15
5. PAD TOLERANCE: ± 0.03 , ANGLE: ± 0.5 .
6. SUBSTRATE SOLDER MASK THICKNESS: 0.025 ± 0.01 mm.
7. LGA PAD GAP MIN 70 μ m.

10.2 信号位置分布



芯片引脚分布图见附录一。

11. 产品标识

11.1 通用标识

龙芯 3C5000 命名规则如下：



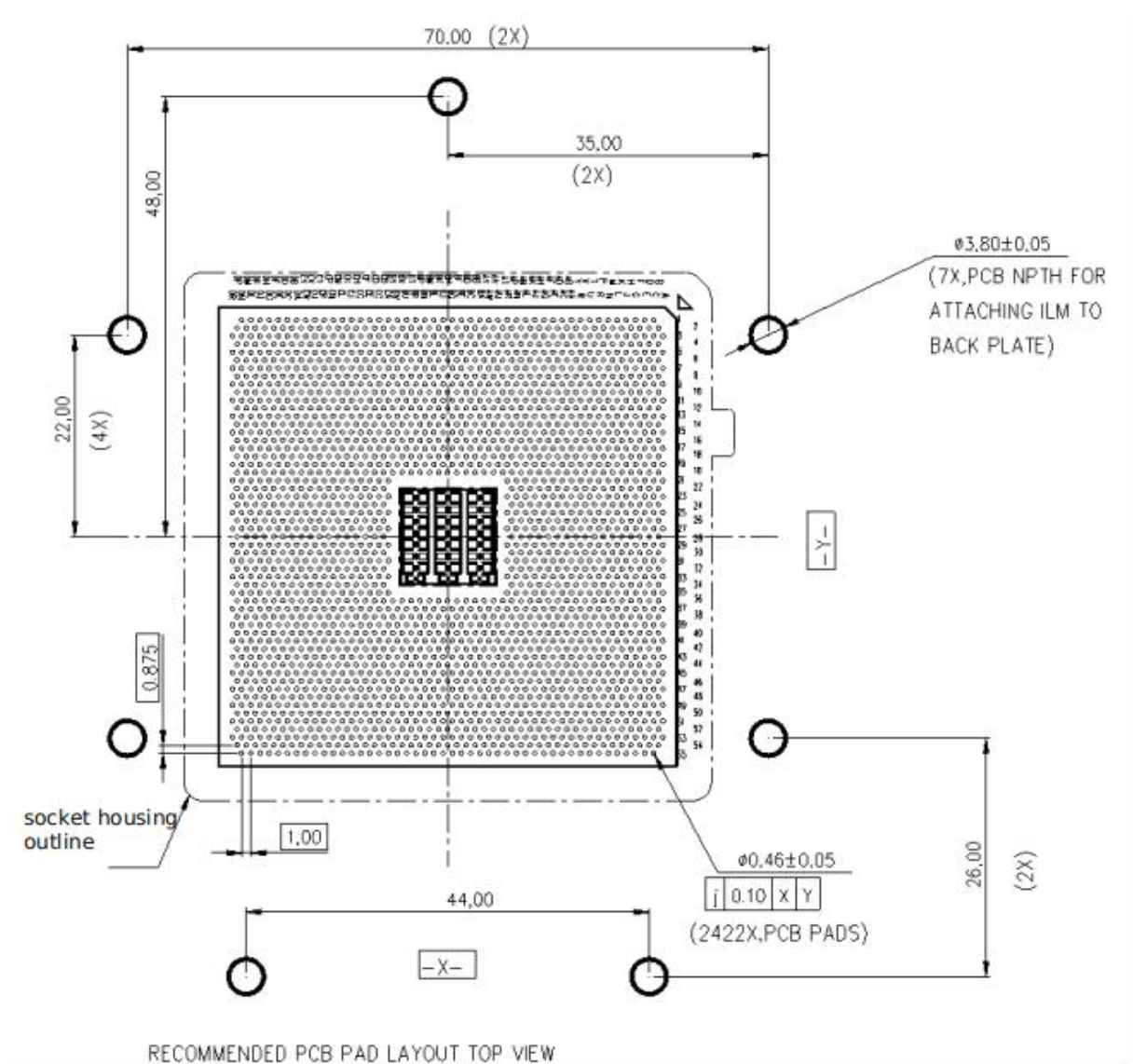
11.2 3C5000 芯片（示例）



- 1) 定位点：●；
- 2) 器件识别号（PIN）：LS3C5000。
- 3) 特殊标志： A、B、C、D、E、F、G、H、X、V为厂家信息或承制方标识。

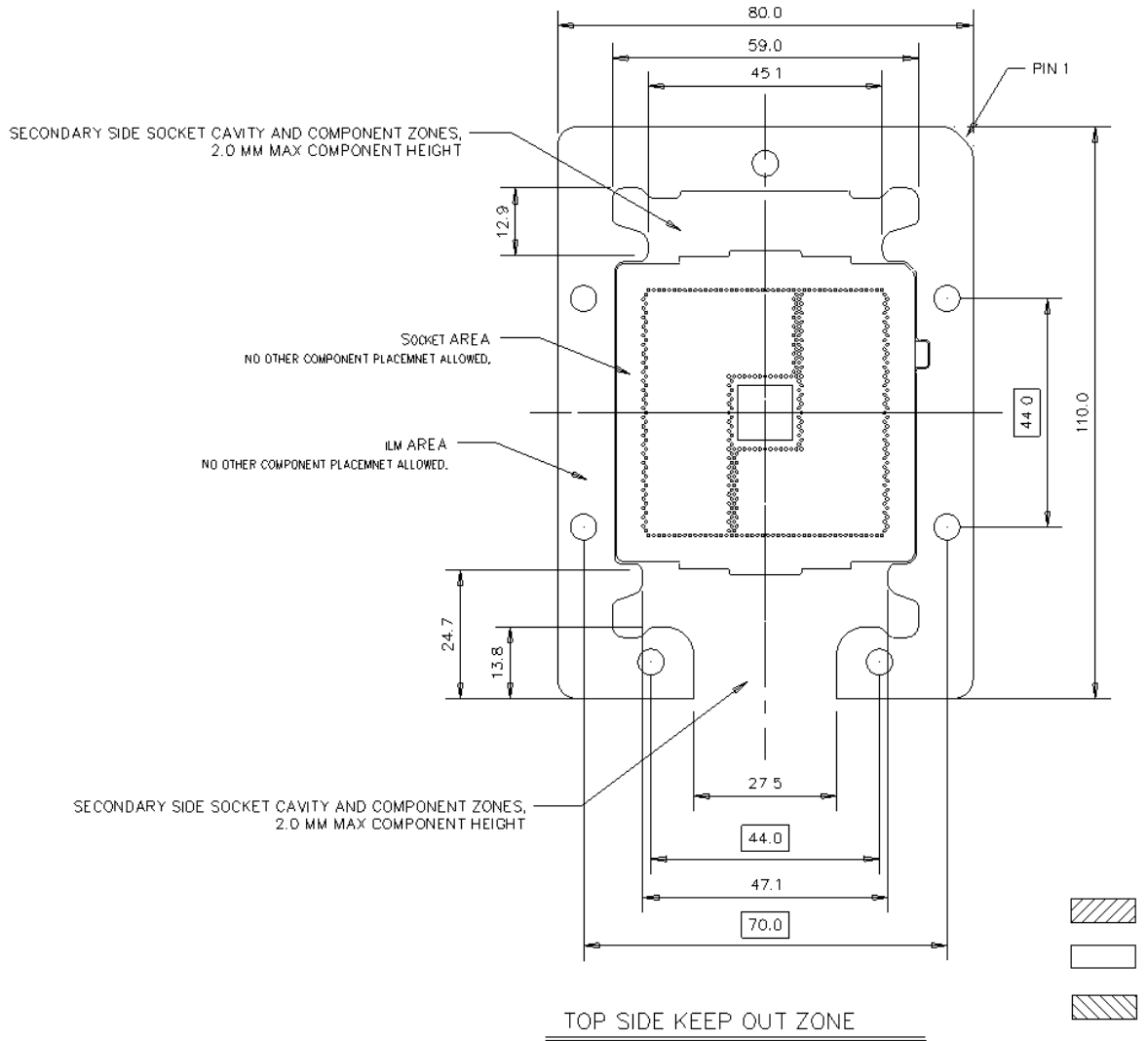
12. Layout 及原理图 Checklist

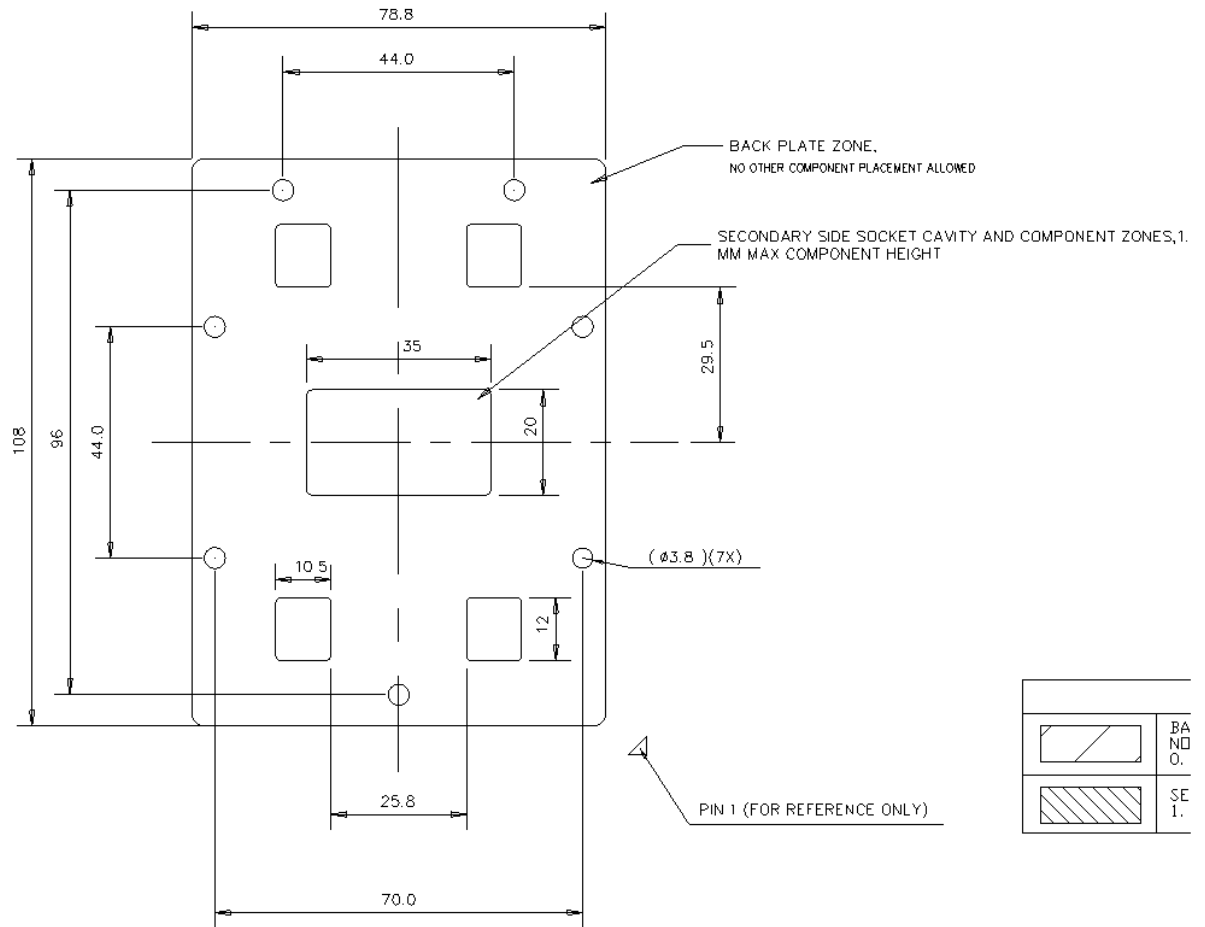
12.1 Layout 设计说明



Recommended PCB pad layout

封装 Socket 对应尺寸：





RECOMMENDED PCB LAYOUT (VIEWED FROM PCB SECONDARY SIDE)

12.2 原理图 Checklist

13. 其他

附录一：芯片引脚排布图

	1	2	3	4	5	
A			A3\VSS		A5\MC3_DQ14	A
B		B2\VSS		B4\MC3_DQS10N		B
C	C1\VSS		C3\MC3_DQS10P		C5\VSS	C
D		D2\MC3_DQ09		D4\MC3_DQS01P		D
E	E1\MC3_DQ13		E3\VSS		E5\MC3_DQ15	E
F		F2\MC3_DQ12		F4\MC3_DQS01N		F
G	G1\VSS		G3\MC3_DQ08		G5\VSS	G
H		H2\VSS		H4\VSS		H
J	J1\MC3_DQ07		J3\VSS		J5\MC3_DQ17	J
K		K2\MC3_DQ03		K4\MC3_DQ21		K
L	L1\MC3_DQ06		L3\VSS		L5\VSS	L
M		M2\MC3_DQ02		M4\MC3_DQ20		M
N	N1\VSS		N3\VSS		N5\MC3_DQ16	N
P		P2\MC3_DQS09N		P4\VSS		P
R	R1\MC3_DQ01		R3\MC3_DQS00P		R5\VSS	R
T		T2\MC3_DQS09P		T4\MC3_DQ00		T
U	U1\MC3_DQ04		U3\MC3_DQS00N		U5\MC3_DQ05	U
V		V2\VSS		V4\VSS		V
W	W1\MC2_DQ06		W3\MC2_DQ07		W5\MC2_DQ03	W
Y		Y2\MC2_DQS00P		Y4\MC2_DQ02		Y
AA	AA1\VSS		AA3\MC2_DQS00N		AA5\VSS	AA
AB		AB2\MC2_DQS09N		AB4\VSS		AB
AC	AC1\MC2_DQS09P		AC3\VSS		AC5\MC2_DQ09	AC
AD		AD2\MC2_DQ01		AD4\MC2_DQ13		AD
AE	AE1\MC2_DQ00		AE3\VSS		AE5\VSS	AE
AF		AF2\MC2_DQ05		AF4\MC2_DQ12		AF
AG	AG1\MC2_DQ04		AG3\VSS		AG5\MC2_DQ08	AG
AH		AH2\VSS		AH4\VSS		AH
AJ	AJ1\VSS		AJ3\VSS		AJ5\VSS	AJ
AK		AK2\VDDN		AK4\VDDN		AK
AL	AL1\VDDN		AL3\VDDN		AL5\VDDN	AL
AM		AM2\VDDN		AM4\VDDN		AM
AN	AN1\VDDN		AN3\VDDN		AN5\VSS	AN
AP		AP2\VDDN		AP4\VDDN		AP
AR	AR1\VDDN		AR3\VDDN		AR5\VDDN	AR

AT		AT2\VDDN		AT4\VDDN		AT
AU	AU1\VDDN		AU3\VDDN		AU5\VSS	AU
AV		AV2\VDDN		AV4\VDDN		AV
AW	AW1\VDDN		AW3\VDDN		AW5\VDDN	AW
AY		AY2\VDDN		AY4\VSS		AY
BA	BA1\VDDN		BA3\VDDN		BA5\VDDN	BA
BB		BB2\VDDN		BB4\VDDN		BB
BC	BC1\VDDN		BC3\VDDN		BC5\VSS	BC
BD		BD2\VDDN		BD4\VDDN		BD
BE	BE1\VDDN		BE3\VDDN		BE5\VDDN	BE
BF		BF2\VDDN		BF4\VSS		BF
BG	BG1\VDDN		BG3\VDDN		BG5\VDDN	BG
BH		BH2\VDDN		BH4\VDDN		BH
BJ	BJ1\VDDN		BJ3\VDDN		BJ5\VDDN	BJ
BK		BK2\VDDN		BK4\VSS		BK
BL	BL1\VDDN		BL3\VDDN		BL5\VDDN	BL
BM		BM2\VDDN		BM4\VDDN		BM
BN	BN1\VDDN		BN3\VDDN		BN5\VSS	BN
BP		BP2\VDDN		BP4\VDDN		BP
BR	BR1\VDDN		BR3\VDDN		BR5\VDDN	BR
BT		BT2\VDDN		BT4\VSS		BT
BU	BU1\VDDN		BU3\VDDN		BU5\VDDN	BU
BV		BV2\VDDN		BV4\VDDN		BV
BW	BW1\VDDN		BW3\VDDN		BW5\VSS	BW
BY		BY2\VDDN		BY4\VDDN		BY
CA	CA1\VDDN		CA3\VDDN		CA5\VDDN	CA
CB		CB2\VDDN		CB4\VDDN		CB
CC	CC1\VDDN		CC3\VSS		CC5\VSS	CC
CD		CD2\VSS		CD4\SE_GPIO00		CD
CE	CE1\VSS		CE3\SE_GPIO02		CE5\SE_RNG1_OEN	CE
CF		CF2\SE_SCI_CLK		CF4\SE_RNG1_DATA		CF
CG	CG1\VSS		CG3\SE_RNG0_DATA		CG5\VSS	CG
CH		CH2\VSS		CH4\VSS		CH
CJ	CJ1\MC1_DQ04		CJ3\VSS		CJ5\MC1_DQ08	CJ
CK		CK2\MC1_DQ05		CK4\MC1_DQ12		CK
CL	CL1\MC1_DQ00		CL3\VSS		CL5\VSS	CL
CM		CM2\MC1_DQ01		CM4\MC1_DQ13		CM
CN	CN1\MC1_DQS09P		CN3\VSS		CN5\MC1_DQ09	CN
CP		CP2\MC1_DQS09N		CP4\VSS		CP

CR	CR1\VSS		CR3\MC1_DQS00N		CR5\VSS	CR
CT		CT2\MC1_DQS00P		CT4\MC1_DQ02		CT
CU	CU1\MC1_DQ06		CU3\MC1_DQ07		CU5\MC1_DQ03	CU
CV		CV2\VSS		CV4\VSS		CV
CW	CW1\MC0_DQ04		CW3\MC0_DQS00N		CW5\MC0_DQ05	CW
CY		CY2\MC0_DQS09P		CY4\MC0_DQ00		CY
DA	DA1\MC0_DQ01		DA3\MC0_DQS00P		DA5\VSS	DA
DB		DB2\MC0_DQS09N		DB4\VSS		DB
DC	DC1\VSS		DC3\VSS		DC5\MC0_DQ16	DC
DD		DD2\MC0_DQ02		DD4\MC0_DQ20		DD
DE	DE1\MC0_DQ06		DE3\VSS		DE5\VSS	DE
DF		DF2\MC0_DQ03		DF4\MC0_DQ21		DF
DG	DG1\MC0_DQ07		DG3\VSS		DG5\MC0_DQ17	DG
DH		DH2\VSS		DH4\VSS		DH
DJ	DJ1\VSS		DJ3\MC0_DQ08		DJ5\VSS	DJ
DK		DK2\MC0_DQ12		DK4\MC0_DQS01N		DK
DL	DL1\MC0_DQ13		DL3\VSS		DL5\MC0_DQ15	DL
DM		DM2\MC0_DQ09		DM4\MC0_DQS01P		DM
DN	DN1\VSS		DN3\MC0_DQS10P		DN5\VSS	DN
DP		DP2\VSS		DP4\MC0_DQS10N		DP
DR			DR3\VSS		DR5\MC0_DQ14	DR

	6	7	8	9	10	
A		A7\VSS		A9\MC3_DQ25		A
B	B6\MC3_DQ10		B8\MC3_DQ24		B10\VSS	B
C		C7\VSS		C9\VSS		C
D	D6\MC3_DQ11		D8\MC3_DQ29		D10\MC3_DQS03N	D
E		E7\VSS		E9\MC3_DQS12P		E
F	F6\VSS		F8\MC3_DQ28		F10\MC3_DQS03P	F
G		G7\VSS		G9\MC3_DQS12N		G
H	H6\MC3_DQS11N		H8\VSS		H10\VSS	H
J		J7\MC3_DQ22		J9\VSS		J
K	K6\MC3_DQS11P		K8\MC3_DQ18		K10\MC3_CB5	K
L		L7\VSS		L9\VSS		L
M	M6\MC3_DQS02N		M8\MC3_DQ19		M10\MC3_CB4	M
N		N7\MC3_DQ23		N9\VSS		N
P	P6\MC3_DQS02P		P8\VSS		P10\VSS	P
R		R7\VSS		R9\MC2_DQS11N		R
T	T6\VSS		T8\MC2_DQ17		T10\MC2_DQ22	T
U		U7\MC2_DQ21		U9\MC2_DQS11P		U
V	V6\VSS		V8\VSS		V10\VSS	V
W		W7\MC2_DQ20		W9\MC2_DQS02N		W
Y	Y6\VSS		Y8\MC2_DQ16		Y10\MC2_DQ23	Y
AA		AA7\VSS		AA9\MC2_DQS02P		AA
AB	AB6\MC2_DQS10N		AB8\VSS		AB10\VSS	AB
AC		AC7\MC2_DQ14		AC9\VSS		AC
AD	AD6\MC2_DQS10P		AD8\MC2_DQ10		AD10\MC2_DQ29	AD
AE		AE7\VSS		AE9\VSS		AE
AF	AF6\MC2_DQS01N		AF8\MC2_DQ11		AF10\MC2_DQ28	AF
AG		AG7\MC2_DQ15		AG9\VSS		AG
AH	AH6\MC2_DQS01P		AH8\VSS		AH10\VSS	AH
AJ		AJ7\VSS		AJ9\NC		AJ
AK	AK6\VSS		AK8\NC		AK10\NC	AK
AL		AL7\NC		AL9\NC		AL
AM	AM6\VDDN		AM8\VDDN		AM10\VSS	AM
AN		AN7\VSS		AN9\VSS		AN
AP	AP6\VDDN		AP8\VDDN		AP10\VDDN	AP
AR		AR7\VDDN		AR9\VDDN		AR
AT	AT6\VDDN		AT8\VDDN		AT10\VDDN	AT
AU		AU7\VSS		AU9\VSS		AU

AV	AV6\VDDN		AV8\VDDN		AV10\VDDN	AV
AW		AW7\VDDN		AW9\VDDN		AW
AY	AY6\VSS		AY8\VSS		AY10\VSS	AY
BA		BA7\VDDN		BA9\VDDN		BA
BB	BB6\VDDN		BB8\VDDN		BB10\VDDN	BB
BC		BC7\VSS		BC9\VSS		BC
BD	BD6\VDDN		BD8\VDDN		BD10\VDDN	BD
BE		BE7\VDDN		BE9\VDDN		BE
BF	BF6\VSS		BF8\VSS		BF10\VSS	BF
BG		BG7\VDDN		BG9\VDDN		BG
BH	BH6\VDDN		BH8\VDDN		BH10\VDDN	BH
BJ		BJ7\VDDN		BJ9\VDDN		BJ
BK	BK6\VSS		BK8\VSS		BK10\VSS	BK
BL		BL7\VDDN		BL9\VDDN		BL
BM	BM6\VDDN		BM8\VDDN		BM10\VDDN	BM
BN		BN7\VSS		BN9\VSS		BN
BP	BP6\VDDN		BP8\VDDN		BP10\VDDN	BP
BR		BR7\VDDN		BR9\VDDN		BR
BT	BT6\VSS		BT8\VSS		BT10\VSS	BT
BU		BU7\VDDN		BU9\VDDN		BU
BV	BV6\VDDN		BV8\VDDN		BV10\VDDN	BV
BW		BW7\VSS		BW9\VSS		BW
BY	BY6\VDDN		BY8\VDDN		BY10\VDDN	BY
CA		CA7\VDDN		CA9\VDDN		CA
CB	CB6\VSS		CB8\VSS		CB10\VSS	CB
CC		CC7\SE_GPIO09		CC9\SE_CLK_SEL		CC
CD	CD6\SE_GPIO05		CD8\SE_GPIO08		CD10\SE_GPIO04	CD
CE		CE7\SE_RNG0_CLK		CE9\SE_RNG0_OEN		CE
CF	CF6\VSS		CF8\SE_RNG0_PE		CF10\SE_RNG1_CLK	CF
CG		CG7\VSS		CG9\SE_RNG1_PE		CG
CH	CH6\MC1_DQS01P		CH8\VSS		CH10\VSS	CH
CJ		CJ7\MC1_DQ15		CJ9\VSS		CJ
CK	CK6\MC1_DQS01N		CK8\MC1_DQ11		CK10\MC1_DQ28	CK
CL		CL7\VSS		CL9\VSS		CL
CM	CM6\MC1_DQS10P		CM8\MC1_DQ10		CM10\MC1_DQ29	CM
CN		CN7\MC1_DQ14		CN9\VSS		CN
CP	CP6\MC1_DQS10N		CP8\VSS		CP10\VSS	CP
CR		CR7\VSS		CR9\MC1_DQS02P		CR
CT	CT6\VSS		CT8\MC1_DQ16		CT10\MC1_DQ23	CT
CU		CU7\MC1_DQ20		CU9\MC1_DQS02N		CU
CV	CV6\VSS		CV8\VSS		CV10\VSS	CV
CW		CW7\MC1_DQ21		CW9\MC1_DQS11P		CW

CY	CY6\VSS		CY8\MC1_DQ17		CY10\MC1_DQ22	CY
DA		DA7\VSS		DA9\MC1_DQS11N		DA
DB	DB6\MC0_DQS02P		DB8\VSS		DB10\VSS	DB
DC		DC7\MC0_DQ23		DC9\VSS		DC
DD	DD6\MC0_DQS02N		DD8\MC0_DQ19		DD10\MC0_CB4	DD
DE		DE7\VSS		DE9\VSS		DE
DF	DF6\MC0_DQS11P		DF8\MC0_DQ18		DF10\MC0_CB5	DF
DG		DG7\MC0_DQ22		DG9\VSS		DG
DH	DH6\MC0_DQS11N		DH8\VSS		DH10\VSS	DH
DJ		DJ7\VSS		DJ9\MC0_DQS12N		DJ
DK	DK6\VSS		DK8\MC0_DQ28		DK10\MC0_DQS03P	DK
DL		DL7\VSS		DL9\MC0_DQS12P		DL
DM	DM6\MC0_DQ11		DM8\MC0_DQ29		DM10\MC0_DQS03N	DM
DN		DN7\VSS		DN9\VSS		DN
DP	DP6\MC0_DQ10		DP8\MC0_DQ24		DP10\VSS	DP
DR		DR7\VSS		DR9\MC0_DQ25		DR

	11	12	13	14	15	
A	A11\VSS		A13\MC3_DQ27		A15\MC3_CKE1	A
B		B12\MC3_DQ26		B14\VSS		B
C	C11\MC3_DQ30		C13\VSS		C15\MC3_CKE0	C
D		D12\VSS		D14\VSS		D
E	E11\MC3_DQ31		E13\MC3_CB6		E15\VSS	E
F		F12\VSS		F14\VSS		F
G	G11\VSS		G13\MC3_CB7		G15\MC3_RESETN	G
H		H12\MC3_DQS17N		H14\VSS		H
J	J11\MC3_CB1		J13\MC3_CB2		J15\MC3_CKE3	J
K		K12\MC3_DQS17P		K14\VSS		K
L	L11\VSS		L13\VSS		L15\MC3_CKE2	L
M		M12\MC3_DQS08N		M14\VSS		M
N	N11\MC3_CB0		N13\MC3_CB3		N15\VSS	N
P		P12\MC3_DQS08P		P14\VSS		P
R	R11\VSS		R13\VSS		R15\MC2_DQS17N	R
T		T12\VSS		T14\MC2_CB1		T
U	U11\MC2_DQ18		U13\MC2_CB5		U15\MC2_DQS17P	U
V		V12\VSS		V14\VSS		V
W	W11\MC2_DQ19		W13\MC2_CB4		W15\MC2_DQS08N	W
Y		Y12\VSS		Y14\MC2_CB0		Y
AA	AA11\VSS		AA13\VSS		AA15\MC2_DQS08P	AA
AB		AB12\MC2_DQS12N		AB14\VSS		AB
AC	AC11\MC2_DQ25		AC13\MC2_DQ30		AC15\VSS	AC
AD		AD12\MC2_DQS12P		AD14\MC2_DQ26		AD
AE	AE11\VSS		AE13\VSS		AE15\VSS	AE
AF		AF12\MC2_DQS03N		AF14\MC2_DQ27		AF
AG	AG11\MC2_DQ24		AG13\MC2_DQ31		AG15\VSS	AG
AH		AH12\MC2_DQS03P		AH14\VSS		AH
AJ	AJ11\VSS		AJ13\VSS		AJ15\NC	AJ
AK		AK12\VSS		AK14\AVS_SDATA		AK
AL	AL11\NC		AL13\AVS_MDATA		AL15\NC	AL
AM		AM12\NC		AM14\AVS_CLK		AM
AN	AN11\VSS		AN13\VSS		AN15\VSS	AN
AP		AP12\VDDN		AP14\VDDN		AP
AR	AR11\VDDN		AR13\VDDN		AR15\VDDN	AR
AT		AT12\VDDN		AT14\VDDN		AT
AU	AU11\VSS		AU13\VSS		AU15\VSS	AU

AV		AV12\VDDN		AV14\VDDN		AV
AW	AW11\VDDN		AW13\VDDN		AW15\VDDN	AW
AY		AY12\VSS		AY14\VSS		AY
BA	BA11\VDDN		BA13\VDDN		BA15\VDDN	BA
BB		BB12\VDDN		BB14\VDDN		BB
BC	BC11\VSS		BC13\VSS		BC15\VSS	BC
BD		BD12\VDDN		BD14\VDDN		BD
BE	BE11\VDDN		BE13\VDDN		BE15\VDDN	BE
BF		BF12\VSS		BF14\VSS		BF
BG	BG11\VDDN		BG13\VDDN		BG15\VDDN	BG
BH		BH12\VDDN		BH14\VDDN		BH
BJ	BJ11\VDDN		BJ13\VDDN		BJ15\VDDN	BJ
BK		BK12\VSS		BK14\VSS		BK
BL	BL11\VDDN		BL13\VDDN		BL15\VDDN	BL
BM		BM12\VDDN		BM14\VDDN		BM
BN	BN11\VSS		BN13\VSS		BN15\VSS	BN
BP		BP12\VDDN		BP14\VDDN		BP
BR	BR11\VDDN		BR13\VDDN		BR15\VDDN	BR
BT		BT12\VSS		BT14\VSS		BT
BU	BU11\VDDN		BU13\VDDN		BU15\VDDN	BU
BV		BV12\VDDN		BV14\VDDN		BV
BW	BW11\VSS		BW13\VSS		BW15\VSS	BW
BY		BY12\VDDN		BY14\VDDN		BY
CA	CA11\VDDN		CA13\VDDN		CA15\VDDN	CA
CB		CB12\VSS		CB14\VSS		CB
CC	CC11\SE_GPIO07		CC13\SE_GPIO06		CC15\ SE_GPIO03	CC
CD		CD12\ SE_QSPI_FLASH_IO3		CD14\SE_GPIO01		CD
CE	CE11\ SE_SCI_DATA		CE13\ SE_SCI_DETECT		CE15\ SE_UART1_RX	CE
CF		CF12\VSS		CF14\ SE_QSPI_FLASH_CSN		CF
CG	CG11\VSS		CG13\VSS		CG15\ SE_QSPI_FLASH_IO0	CG
CH		CH12\MC1_DQS03P		CH14\VSS		CH
CJ	CJ11\MC1_DQ24		CJ13\MC1_DQ31		CJ15\VSS	CJ
CK		CK12\MC1_DQS03N		CK14\MC1_DQ27		CK
CL	CL11\VSS		CL13\VSS		CL15\VSS	CL
CM		CM12\MC1_DQS12P		CM14\MC1_DQ26		CM
CN	CN11\MC1_DQ25		CN13\MC1_DQ30		CN15\VSS	CN
CP		CP12\MC1_DQS12N		CP14\VSS		CP

CR	CR11\VSS		CR13\VSS		CR15\MC1_DQS08P	CR
CT		CT12\VSS		CT14\MC1_CB0		CT
CU	CU11\MC1_DQ19		CU13\MC1_CB4		CU15\MC1_DQS08N	CU
CV		CV12\VSS		CV14\VSS		CV
CW	CW11\MC1_DQ18		CW13\MC1_CB5		CW15\MC1_DQS17P	CW
CY		CY12\VSS		CY14\MC1_CB1		CY
DA	DA11\VSS		DA13\VSS		DA15\MC1_DQS17N	DA
DB		DB12\MC0_DQS08P		DB14\VSS		DB
DC	DC11\MC0_CB0		DC13\MC0_CB3		DC15\VSS	DC
DD		DD12\MC0_DQS08N		DD14\VSS		DD
DE	DE11\VSS		DE13\VSS		DE15\MC0_CKE2	DE
DF		DF12\MC0_DQS17P		DF14\VSS		DF
DG	DG11\MC0_CB1		DG13\MC0_CB2		DG15\MC0_CKE3	DG
DH		DH12\MC0_DQS17N		DH14\VSS		DH
DJ	DJ11\VSS		DJ13\MC0_CB7		DJ15\MC0_RESETN	DJ
DK		DK12\VSS		DK14\VSS		DK
DL	DL11\MC0_DQ31		DL13\MC0_CB6		DL15\VSS	DL
DM		DM12\VSS		DM14\VSS		DM
DN	DN11\MC0_DQ30		DN13\VSS		DN15\MC0_CKE0	DN
DP		DP12\MC0_DQ26		DP14\VSS		DP
DR	DR11\VSS		DR13\MC0_DQ27		DR15\MC0_CKE1	DR

	16	17	18	19	20	
A		A17\MC3_ALERTN		A19\MC3_CK1N		A
B	B16\ VDDIO_DDR_23		B18\ VDDIO_DDR_23		B20\ VDDIO_DDR_23	B
C		C17\MC3_BG0		C19\MC3_CK1P		C
D	D16\NC		D18\MC3_A04		D20\MC3_CK0N	D
E		E17\ VDDIO_DDR_23		E19\VSS		E
F	F16\MC3_BG1		F18\MC3_A05		F20\MC3_CK0P	F
G		G17\MC3_A09		G19\MC3_A03		G
H	H16\ VDDIO_DDR_23		H18\ VDDIO_DDR_23		H20\ VDDIO_DDR_23	H
J		J17\MC3_A11		J19\MC3_A06		J
K	K16\MC3_A12		K18\MC3_A08		K20\MC3_A02	K
L		L17\VSS		L19\VSS		L
M	M16\MC3_ACTN		M18\MC3_A07		M20\MC3_A01	M
N		N17\ VDDIO_DDR_23		N19\VSS		N
P	P16\VSS		P18\MC2_RESETN		P20\MC2_BG1	P
R		R17\VSS		R19\ VDDIO_DDR_23		R
T	T16\MC2_CB6		T18\MC2_CKE1		T20\MC2_BG0	T
U		U17\VSS		U19\MC2_CKE3		U
V	V16\VSS		V18\VSS		V20\VSS	V
W		W17\VSS		W19\NC		W
Y	Y16\MC2_CB7		Y18\MC2_CKE0		Y20\MC2_A05	Y
AA		AA17\VSS		AA19\ VDDIO_DDR_23		AA
AB	AB16\VSS		AB18\MC2_CKE2		AB20\MC2_A04	AB
AC		AC17\VSS		AC19\MC2_ALERTN		AC
AD	AD16\MC2_CB2		AD18\VSS		AD20\VSS	AD
AE		AE17\VSS		AE19\MC2_A11		AE
AF	AF16\MC2_CB3		AF18\MC2_ACTN		AF20\MC2_A07	AF
AG		AG17\VSS		AG19\ VDDIO_DDR_23		AG
AH	AH16\VSS		AH18\VSS		AH20\MC2_CK3N	AH
AJ		AJ17\VSS		AJ19\VSS		AJ
AK	AK16\NC		AK18\NC		AK20\NC	AK
AL		AL17\NC		AL19\NC		AL
AM	AM16\NC		AM18\NC		AM20\NC	AM
AN		AN17\VSS		AN19\VSS		AN
AP	AP16\VDDN		AP18\VDDN		AP20\VDDN	AP

AR		AR17\VDDN		AR19\VDDN		AR
AT	AT16\VDDN		AT18\VDDN		AT20\VDDN	AT
AU		AU17\VSS		AU19\VSS		AU
AV	AV16\VDDN		AV18\VDDN		AV20\VDDN	AV
AW		AW17\VDDN		AW19\VDDN		AW
AY	AY16\VSS		AY18\VSS		AY20\VSS	AY
BA		BA17\VDDN		BA19\VDDN		BA
BB	BB16\VDDN		BB18\VDDN		BB20\VDDN	BB
BC		BC17\VSS		BC19\VSS		BC
BD	BD16\VDDN		BD18\VDDN		BD20\VDDN	BD
BE		BE17\VDDN		BE19\VDDN		BE
BF	BF16\VSS		BF18\VSS		BF20\VSS	BF
BG		BG17\VDDN		BG19\VDDN		BG
BH	BH16\VDDN		BH18\VDDN		BH20\VDDN	BH
BJ		BJ17\VDDN		BJ19\VDDN		BJ
BK	BK16\VSS		BK18\VSS		BK20\VSS	BK
BL		BL17\VDDN		BL19\VDDN		BL
BM	BM16\VDDN		BM18\VDDN		BM20\VDDN	BM
BN		BN17\VSS		BN19\VSS		BN
BP	BP16\VDDN		BP18\VDDN		BP20\VDDN	BP
BR		BR17\VDDN		BR19\VDDN		BR
BT	BT16\VSS		BT18\VSS		BT20\VSS	BT
BU		BU17\VDDN		BU19\VDDN		BU
BV	BV16\VDDN		BV18\VDDN		BV20\VDDN	BV
BW		BW17\VSS		BW19\VSS		BW
BY	BY16\VDDN		BY18\VDDN		BY20\VDDN	BY
CA		CA17\VDDN		CA19\VDDN		CA
CB	CB16\VSS		CB18\VSS		CB20\VSS	CB
CC		CC17\SE_QSPI_CSN		CC19\SE_QSPI_IO1		CC
CD	CD16\ SE_UART1_TX		CD18\SE_SPI_MOSI		CD20\SE_UART0_RX	CD
CE		CE17\SE_QSPI_CLK		CE19\SPI_WPN		CE
CF	CF16\ SE_SPI_MISO		CF18\SE_SCI_RSTN		CF20\SPI_SCK	CF
CG		CG17\VSS		CG19\VSS		CG
CH	CH16\VSS		CH18\VSS		CH20\MC1_CK3N	CH
CJ		CJ17\VSS		CJ19\ VDDIO_DDR_01		CJ

CK	CK16\MC1_CB3		CK18\MC1_ACTN		CK20\MC1_A07	CK
CL		CL17\VSS		CL19\MC1_A11		CL
CM	CM16\MC1_CB2		CM18\VSS		CM20\VSS	CM
CN		CN17\VSS		CN19\ MC1_ALERTN		CN
CP	CP16\VSS		CP18\MC1_CKE2		CP20\MC1_A04	CP
CR		CR17\VSS		CR19\ VDDIO_DDR_01		CR
CT	CT16\MC1_CB7		CT18\MC1_CKE0		CT20\MC1_A05	CT
CU		CU17\VSS		CU19\NC		CU
CV	CV16\VSS		CV18\VSS		CV20\VSS	CV
CW		CW17\VSS		CW19\MC1_CKE3		CW
CY	CY16\MC1_CB6		CY18\MC1_CKE1		CY20\MC1_BG0	CY
DA		DA17\VSS		DA19\ VDDIO_DDR_01		DA
DB	DB16\VSS		DB18\MC1_RESETN		DB20\MC1_BG1	DB
DC		DC17\ VDDIO_DDR_01		DC19\VSS		DC
DD	DD16\MC0_ACTN		DD18\MC0_A07		DD20\MC0_A01	DD
DE		DE17\VSS		DE19\VSS		DE
DF	DF16\MC0_A12		DF18\MC0_A08		DF20\MC0_A02	DF
DG		DG17\MC0_A11		DG19\MC0_A06		DG
DH	DH16\ VDDIO_DDR_01		DH18\ VDDIO_DDR_01		DH20\ VDDIO_DDR_01	DH
DJ		DJ17\MC0_A09		DJ19\MC0_A03		DJ
DK	DK16\MC0_BG1		DK18\MC0_A05		DK20\MC0_CK0P	DK
DL		DL17\ VDDIO_DDR_01		DL19\VSS		DL
DM	DM16\NC		DM18\MC0_A04		DM20\MC0_CK0N	DM
DN		DN17\MC0_BG0		DN19\MC0_CK1P		DN
DP	DP16\ VDDIO_DDR_01		DP18\ VDDIO_DDR_01		DP20\ VDDIO_DDR_01	DP
DR		DR17\MC0_ALERTN		DR19\MC0_CK1N		DR

	21	22	23	24	25	
A	A21\MC3_CK3N		A23\MC3_BA0		A25\MC3_SCSN1	A
B		B22\ VDDIO_DDR_23		B24\ VDDIO_DDR_23		B
C	C21\MC3_CK3P		C23\ VDDIO_DDR_23		C25\MC3_A17	C
D		D22\MC3_A00		D24\MC3_ODT0		D
E	E21\VSS		E23\VSS		E25\VSS	E
F		F22\MC3_RASN		F24\MC3_SCSN4		F
G	G21\MC3_CK2N		G23\MC3_WEN		G25\MC3_A13	G
H		H22\ VDDIO_DDR_23		H24\ VDDIO_DDR_23		H
J	J21\MC3_CK2P		J23\MC3_SCSN0		J25\MC3_CASN	J
K		K22\MC3_A10		K24\MC3_ODT2		K
L	L21\VSS		L23\VSS		L25\VSS	L
M		M22\MC3_BA1		M24\MC3_REXT		M
N	N21\MC3_PAR		N23\MC2_SCSN4		N25\MC2_BA0	N
P		P22\MC2_A08		P24\MC2_A01		P
R	R21\ VDDIO_DDR_23		R23\ VDDIO_DDR_23		R25\ VDDIO_DDR_23	R
T		T22\MC2_A06		T24\MC2_A00		T
U	U21\MC2_A12		U23\MC2_A02		U25\MC2_SCSN5	U
V		V22\VSS		V24\MC2_ODT2		V
W	W21\MC2_A09		W23\MC2_A03		W25\MC2_ODT3	W
Y		Y22\MC2_CK0P		Y24\MC2_A10		Y
AA	AA21\ VDDIO_DDR_23		AA23\ VDDIO_DDR_23		AA25\ VDDIO_DDR_23	AA
AB		AB22\MC2_CK0N		AB24\MC2_RASN		AB
AC	AC21\MC2_CK1P		AC23\MC2_CK2N		AC25\MC2_WEN	AC
AD		AD22\VSS		AD24\VSS		AD
AE	AE21\MC2_CK1N		AE23\MC2_CK2P		AE25\MC2_SCSN0	AE
AF		AF22\VSS		AF24\MC2_BA1		AF
AG	AG21\ VDDIO_DDR_23		AG23\ VDDIO_DDR_23		AG25\ VDDIO_DDR_23	AG
AH		AH22\MC2_REXT		AH24\MC2_PAR		AH
AJ	AJ21\MC2_CK3P		AJ23\VSS		AJ25\VSS	AJ
AK		AK22\NC		AK24\VSS_PLL_D DR		AK
AL	AL21\NC		AL23\NC		AL25\ VDD_PLL_DDR	AL
AM		AM22\NC		AM24\VSS		AM
AN	AN21\VSS		AN23\VSS		AN25\VDDN	AN

AP		AP22\VDDN		AP24\VDDN		AP
AR	AR21\VDDN		AR23\VDDN		AR25\VSS	AR
AT						AT
AU						AU
AV						AV
AW						AW
AY						AY
BA						BA
BB						BB
BC						BC
BD						BD
BE						BE
BF						BF
BG						BG
BH						BH
BJ						BJ
BK						BK
BL						BL
BM						BM
BN						BN
BP						BP
BR						BR
BT						BT
BU						BU
BV						BV
BW						BW
BY						BY
CA	CA21\VDDN		CA23\VDDN		CA25\VDDN	CA
CB		CB22\VDDN		CB24\VDDN		CB
CC	CC21\ SE_UART0_TX		CC23\SE_I2C_SDA		CC25\ SE_QSPI_IO0	CC
CD		CD22\SE_QSPI_IO2		CD24\SE_I2C_SCL		CD
CE	CE21\SPI_SDI		CE23\VSS		CE25\SPI_HOLDN	CE
CF		CF22\SPI_CSN0		CF24\SPI_SDO		CF
CG	CG21\MC1_CK3P		CG23\VSS		CG25\VSS	CG
CH		CH22\MC1_REXT		CH24\MC1_PAR		CH
CJ	CJ21\ VDDIO_DDR_01		CJ23\ VDDIO_DDR_01		CJ25\ VDDIO_DDR_01	CJ

CK		CK22\VSS		CK24\MC1_BA1		CK
CL	CL21\MC1_CK1N		CL23\MC1_CK2P		CL25\MC1_SCSN0	CL
CM		CM22\VSS		CM24\VSS		CM
CN	CN21\MC1_CK1P		CN23\MC1_CK2N		CN25\MC1_WEN	CN
CP		CP22\MC1_CK0N		CP24\MC1_RASN		CP
CR	CR21\ VDDIO_DDR_01		CR23\ VDDIO_DDR_01		CR25\ VDDIO_DDR_01	CR
CT		CT22\MC1_CK0P		CT24\MC1_A10		CT
CU	CU21\MC1_A09		CU23\MC1_A03		CU25\MC1_ODT3	CU
CV		CV22\VSS		CV24\MC1_ODT2		CV
CW	CW21\MC1_A12		CW23\MC1_A02		CW25\MC1_SCSN5	CW
CY		CY22\MC1_A06		CY24\MC1_A00		CY
DA	DA21\ VDDIO_DDR_01		DA23\ VDDIO_DDR_01		DA25\ VDDIO_DDR_01	DA
DB		DB22\MC1_A08		DB24\MC1_A01		DB
DC	DC21\MC0_PAR		DC23\MC1_SCSN4		DC25\MC1_BA0	DC
DD		DD22\MC0_BA1		DD24\MC0_REXT		DD
DE	DE21\VSS		DE23\VSS		DE25\VSS	DE
DF		DF22\MC0_A10		DF24\MC0_ODT2		DF
DG	DG21\MC0_CK2P		DG23\MC0_SCSN0		DG25\MC0_CASN	DG
DH		DH22\ VDDIO_DDR_01		DH24\ VDDIO_DDR_01		DH
DJ	DJ21\MC0_CK2N		DJ23\MC0_WEN		DJ25\MC0_A13	DJ
DK		DK22\MC0_RASN		DK24\MC0_SCSN4		DK
DL	DL21\VSS		DL23\VSS		DL25\VSS	DL
DM		DM22\MC0_A00		DM24\MC0_ODT0		DM
DN	DN21\MC0_CK3P		DN23\ VDDIO_DDR_01		DN25\MC0_A17	DN
DP		DP22\ VDDIO_DDR_01		DP24\ VDDIO_DDR_01		DP
DR	DR21\MC0_CK3N		DR23\MC0_BA0		DR25\MC0_SCSN1	DR

	26	27	28	29	30	
A		A27\MC3_SCSN7		A29\VSS		A
B	B26\ VDDIO_DDR_23		B28\VSS		B30\VSS	B
C		C27\MC3_SCSN3		C29\MC3_DQ41		C
D	D26\MC3_SCSN6		D28\VSS		D30\VSS	D
E		E27\VSS		E29\MC3_DQ40		E
F	F26\MC3_ODT1		F28\VSS		F30\VSS	F
G		G27\MC3_SCSN2		G29\VSS		G
H	H26\ VDDIO_DDR_23		H28\VSS		H30\MC3_DQS14N	H
J		J27\MC3_CID2		J29\MC3_DQ45		J
K	K26\MC3_SCSN5		K28\VSS		K30\MC3_DQS14P	K
L		L27\VSS		L29\VSS		L
M	M26\MC3_ODT3		M28\VSS		M30\MC3_DQS05N	M
N		N27\MC2_SCSN7		N29\MC3_DQ44		N
P	P26\MC2_ODT0		P28\VSS		P30\MC3_DQS05P	P
R		R27\ VDDIO_DDR_23		R29\VSS		R
T	T26\MC2_SCSN1		T28\VSS		T30\VSS	T
U		U27\MC2_ODT1		U29\MC2_DQ40		U
V	V26\MC2_SCSN6		V28\VSS		V30\VSS	V
W		W27\MC2_SCSN2		W29\MC2_DQ41		W
Y	Y26\MC2_CASN		Y28\VSS		Y30\VSS	Y
AA		AA27\ VDDIO_DDR_23		AA29\VSS		AA
AB	AB26\MC2_A13		AB28\VSS		AB30\MC2_DQS14N	AB
AC		AC27\MC2_A17		AC29\MC2_DQ45		AC
AD	AD26\VSS		AD28\VSS		AD30\MC2_DQS14P	AD
AE		AE27\MC2_SCSN3		AE29\VSS		AE
AF	AF26\MC2_CID2		AF28\VSS		AF30\MC2_DQS05N	AF
AG		AG27\ VDDIO_DDR_23		AG29\MC2_DQ44		AG
AH	AH26\VSS		AH28\VSS		AH30\MC2_DQS05P	AH
AJ		AJ27\ DEV_CONFIG1		AJ29\VSS		AJ
AK	AK26\ DEV_CONFIG2		AK28\ DEV_CONFIG8		AK30\VSS	AK
AL		AL27\ DEV_CONFIG0		AL29\DEV_CONFIG6		AL
AM	AM26\VSS		AM28\ DEV_CONFIG7		AM30\DEV_CONFIG5	AM

AN		AN27\VDDN		AN29\VDDN		AN
AP	AP26\VDDN		AP28\VDDN		AP30\VDDN	AP
AR		AR27\VDDN		AR29\VDDN		AR
AT						AT
AU						AU
AV						AV
AW						AW
AY						AY
BA						BA
BB						BB
BC						BC
BD						BD
BE						BE
BF						BF
BG						BG
BH						BH
BJ						BJ
BK						BK
BL						BL
BM						BM
BN						BN
BP						BP
BR						BR
BT						BT
BU						BU
BV						BV
BW						BW
BY						BY
CA		CA27\VDDN		CA29\VDDN		CA
CB	CB26\VDDN		CB28\VSS		CB30\VDDN	CB
CC		CC27\SE_SPI_CSN		CC29\ SE_QSPI_FLASH_CLK		CC
CD	CD26\SE_SPI_CLK		CD28\SE_QSPI_IO3		CD30\ SE_QSPI_FLASH_IO1	CD
CE		CE27\GPIO06		CE29\GPIO14		CE
CF	CF26\GPIO04		CF28\GPIO07		CF30\VSS	CF
CG		CG27\GPIO02		CG29\VSS		CG
CH	CH26\VSS		CH28\VSS		CH30\MC1_DQS05P	CH

CJ		CJ27\ VDDIO_DDR_01		CJ29\MC1_DQ44		CJ
CK	CK26\MC1_CID2		CK28\VSS		CK30\MC1_DQS05N	CK
CL		CL27\MC1_SCSN3		CL29\VSS		CL
CM	CM26\VSS		CM28\VSS		CM30\MC1_DQS14P	CM
CN		CN27\MC1_A17		CN29\MC1_DQ45		CN
CP	CP26\MC1_A13		CP28\VSS		CP30\MC1_DQS14N	CP
CR		CR27\ VDDIO_DDR_01		CR29\VSS		CR
CT	CT26\MC1_CASN		CT28\VSS		CT30\VSS	CT
CU		CU27\MC1_SCSN2		CU29\MC1_DQ41		CU
CV	CV26\MC1_SCSN6		CV28\VSS		CV30\VSS	CV
CW		CW27\MC1_ODT1		CW29\MC1_DQ40		CW
CY	CY26\MC1_SCSN1		CY28\VSS		CY30\VSS	CY
DA		DA27\ VDDIO_DDR_01		DA29\VSS		DA
DB	DB26\MC1_ODT0		DB28\VSS		DB30\MC0_DQS05P	DB
DC		DC27\MC1_SCSN7		DC29\MC0_DQ44		DC
DD	DD26\MC0_ODT3		DD28\VSS		DD30\MC0_DQS05N	DD
DE		DE27\VSS		DE29\VSS		DE
DF	DF26\MC0_SCSN5		DF28\VSS		DF30\MC0_DQS14P	DF
DG		DG27\MC0_CID2		DG29\MC0_DQ45		DG
DH	DH26\ VDDIO_DDR_01		DH28\VSS		DH30\MC0_DQS14N	DH
DJ		DJ27\MC0_SCSN2		DJ29\VSS		DJ
DK	DK26\MC0_ODT1		DK28\VSS		DK30\VSS	DK
DL		DL27\VSS		DL29\MC0_DQ40		DL
DM	DM26\MC0_SCSN6		DM28\VSS		DM30\VSS	DM
DN		DN27\MC0_SCSN3		DN29\MC0_DQ41		DN
DP	DP26\ VDDIO_DDR_01		DP28\VSS		DP30\VSS	DP
DR		DR27\MC0_SCSN7		DR29\VSS		DR

	31	32	33	34	35	
A	A31\VSS		A33\MC3_DQS13N		A35\VSS	A
B		B32\MC3_DQ33		B34\MC3_DQ38		B
C	C31\MC3_DQ37		C33\MC3_DQS13P		C35\MC3_DQ34	C
D		D32\VSS		D34\VSS		D
E	E31\MC3_DQ36		E33\MC3_DQS04P		E35\MC3_DQ35	E
F		F32\MC3_DQ32		F34\MC3_DQ39		F
G	G31\VSS		G33\MC3_DQS04N		G35\VSS	G
H		H32\VSS		H34\VSS		H
J	J31\MC3_DQ46		J33\VSS		J35\MC3_DQ57	J
K		K32\MC3_DQ42		K34\MC3_DQ61		K
L	L31\VSS		L33\VSS		L35\VSS	L
M		M32\MC3_DQ43		M34\MC3_DQ60		M
N	N31\MC3_DQ47		N33\VSS		N35\MC3_DQ56	N
P		P32\VSS		P34\VSS		P
R	R31\VSS		R33\MC2_DQS13N		R35\VSS	R
T		T32\MC2_DQ33		T34\MC2_DQ38		T
U	U31\MC2_DQ37		U33\MC2_DQS13P		U35\MC2_DQ34	U
V		V32\VSS		V34\VSS		V
W	W31\MC2_DQ36		W33\MC2_DQS04N		W35\MC2_DQ35	W
Y		Y32\MC2_DQ32		Y34\MC2_DQ39		Y
AA	AA31\VSS		AA33\MC2_DQS04P		AA35\VSS	AA
AB		AB32\VSS		AB34\VSS		AB
AC	AC31\MC2_DQ46		AC33\VSS		AC35\MC2_DQ56	AC
AD		AD32\MC2_DQ42		AD34\MC2_DQ60		AD
AE	AE31\VSS		AE33\VSS		AE35\VSS	AE
AF		AF32\MC2_DQ43		AF34\MC2_DQ61		AF
AG	AG31\MC2_DQ47		AG33\VSS		AG35\MC2_DQ58	AG
AH		AH32\VSS		AH34\VSS		AH
AJ	AJ31\VSS		AJ33\ CHIP_CONFIG5		AJ35\VSS	AJ
AK		AK32\ DEV_CONFIG9		AK34\ CHIP_CONFIG3		AK
AL	AL31\ DEV_CONFIG4		AL33\ CHIP_CONFIG4		AL35\ CHIP_CONFIG2	AL
AM		AM32\ DEV_CONFIG3		AM34\VSS		AM
AN	AN31\VSS		AN33\VSS		AN35\VDDN	AN
AP		AP32\VDDN		AP34\VDDN		AP
AR	AR31\VDDN		AR33\VDDN		AR35\VDDN	AR

AT						AT
AU						AU
AV						AV
AW						AW
AY						AY
BA						BA
BB						BB
BC						BC
BD						BD
BE						BE
BF						BF
BG						BG
BH						BH
BJ						BJ
BK						BK
BL						BL
BM						BM
BN						BN
BP						BP
BR						BR
BT						BT
BU						BU
BV						BV
BW						BW
BY						BY
CA	CA31\VDDN		CA33\VDDN		CA35\VDDN	CA
CB		CB32\VDDN		CB34\VDDN		CB
CC	CC31\VSS		CC33\VDDN		CC35\VDDN	CC
CD		CD32\ SE_QSPI_FLASH_IO2		CD34\VSS		CD
CE	CE31\GPIO08		CE33\GPIO12		CE35\VDDN	CE
CF		CF32\GPIO15		CF34\NC		CF
CG	CG31\VSS		CG33\GPIO11		CG35\VSS	CG
CH		CH32\VSS		CH34\VSS		CH
CJ	CJ31\MC1_DQ47		CJ33\VSS		CJ35\MC1_DQ58	CJ
CK		CK32\MC1_DQ43		CK34\MC1_DQ61		CK
CL	CL31\VSS		CL33\VSS		CL35\VSS	CL
CM		CM32\MC1_DQ42		CM34\MC1_DQ60		CM
CN	CN31\MC1_DQ46		CN33\VSS		CN35\MC1_DQ56	CN
CP		CP32\VSS		CP34\VSS		CP

CR	CR31\VSS		CR33\MC1_DQS04P		CR35\VSS	CR
CT		CT32\MC1_DQ32		CT34\MC1_DQ39		CT
CU	CU31\MC1_DQ36		CU33\MC1_DQS04N		CU35\MC1_DQ35	CU
CV		CV32\VSS		CV34\VSS		CV
CW	CW31\MC1_DQ37		CW33\MC1_DQS13P		CW35\MC1_DQ34	CW
CY		CY32\MC1_DQ33		CY34\MC1_DQ38		CY
DA	DA31\VSS		DA33\MC1_DQS13N		DA35\VSS	DA
DB		DB32\VSS		DB34\VSS		DB
DC	DC31\MC0_DQ47		DC33\VSS		DC35\MC0_DQ56	DC
DD		DD32\MC0_DQ43		DD34\MC0_DQ60		DD
DE	DE31\VSS		DE33\VSS		DE35\VSS	DE
DF		DF32\MC0_DQ42		DF34\MC0_DQ61		DF
DG	DG31\MC0_DQ46		DG33\VSS		DG35\MC0_DQ57	DG
DH		DH32\VSS		DH34\VSS		DH
DJ	DJ31\VSS		DJ33\MC0_DQS04N		DJ35\VSS	DJ
DK		DK32\MC0_DQ32		DK34\MC0_DQ39		DK
DL	DL31\MC0_DQ36		DL33\MC0_DQS04P		DL35\MC0_DQ35	DL
DM		DM32\VSS		DM34\VSS		DM
DN	DN31\MC0_DQ37		DN33\MC0_DQS13P		DN35\MC0_DQ34	DN
DP		DP32\MC0_DQ33		DP34\MC0_DQ38		DP
DR	DR31\VSS		DR33\MC0_DQS13N		DR35\VSS	DR

	36	37	38	39	40	
A		A37\VSS		A39\MC3_DQS15N		A
B	B36\VSS		B38\MC3_DQ49		B40\MC3_DQ54	B
C		C37\MC3_DQ53		C39\MC3_DQS15P		C
D	D36\VSS		D38\VSS		D40\VSS	D
E		E37\MC3_DQ52		E39\MC3_DQS06P		E
F	F36\VSS		F38\MC3_DQ48		F40\MC3_DQ55	F
G		G37\VSS		G39\MC3_DQS06N		G
H	H36\MC3_DQS16N		H38\VSS		H40\MC3_DQ50	H
J		J37\MC3_DQ62		J39\VSS		J
K	K36\MC3_DQS16P		K38\MC3_DQ58		K40\MC3_DQ51	K
L		L37\VSS		L39\VSS		L
M	M36\MC3_DQS07N		M38\MC3_DQ59		M40\MC2_DQ54	M
N		N37\MC3_DQ63		N39\VSS		N
P	P36\MC3_DQS07P		P38\VSS		P40\MC2_DQ55	P
R		R37\VSS		R39\MC2_DQS15N		R
T	T36\VSS		T38\MC2_DQ49		T40\MC2_DQ50	T
U		U37\MC2_DQ53		U39\MC2_DQS15P		U
V	V36\VSS		V38\VSS		V40\VSS	V
W		W37\MC2_DQ52		W39\MC2_DQS06N		W
Y	Y36\VSS		Y38\MC2_DQ48		Y40\MC2_DQ51	Y
AA		AA37\VSS		AA39\MC2_DQS06P		AA
AB	AB36\MC2_DQ57		AB38\VSS		AB40\VSS	AB
AC		AC37\MC2_DQS16N		AC39\VSS		AC
AD	AD36\MC2_DQS16P		AD38\MC2_DQ62		AD40\CLKSEL07	AD
AE		AE37\VSS		AE39\VSS		AE
AF	AF36\MC2_DQS07N		AF38\MC2_DQ63		AF40\CLKSEL09	AF
AG		AG37\MC2_DQS07P		AG39\VSS		AG
AH	AH36\MC2_DQ59		AH38\VSS		AH40\CLKSEL05	AH
AJ		AJ37\VSS		AJ39\VSS		AJ
AK	AK36\VSS		AK38\VSS		AK40\VDDN	AK
AL		AL37\ CHIP_CONFIG0		AL39\VDDN		AL
AM	AM36\ CHIP_CONFIG1		AM38\VSS		AM40\VDDN	AM
AN		AN37\VDDN		AN39\VDDN		AN
AP	AP36\VDDN		AP38\VDDN		AP40\VDDN	AP
AR		AR37\VDDP		AR39\VDDP		AR
AT	AT36\VDDP		AT38\VDDP		AT40\VSS	AT
AU		AU37\VSS		AU39\VDDP		AU
AV	AV36\VDDP		AV38\VDDP		AV40\VDDE_IO	AV
AW		AW37\VDDP		AW39\VSS		AW

AY	AY36\VDDP		AY38\VDDP		AY40\VDDE_IO	AY
BA		BA37\VDDP		BA39\VDDE_IO		BA
BB	BB36\VDDP		BB38\VDDP		BB40\VSS	BB
BC		BC37\VSS		BC39\VDDE_IO		BC
BD	BD36\VDDP		BD38\VDDP		BD40\VDDE_IO	BD
BE		BE37\VDDP		BE39\VSS		BE
BF	BF36\VDDP		BF38\VDDP		BF40\VDDE_IO	BF
BG		BG37\VDDP		BG39\VSS		BG
BH	BH36\VDDP		BH38\VDDP		BH40\VDDE_IO	BH
BJ		BJ37\VSS		BJ39\VSS		BJ
BK	BK36\VDDP		BK38\VDDP		BK40\VDDE_IO	BK
BL		BL37\VDDP		BL39\VSS		BL
BM	BM36\VDDP		BM38\VSS		BM40\VDDE_IO	BM
BN		BN37\VDDP		BN39\VDDP		BN
BP	BP36\VDDP		BP38\VSS		BP40\VDDE_IO	BP
BR		BR37\VSS		BR39\VDDE_IO		BR
BT	BT36\VDDP		BT38\VSS		BT40\VSS	BT
BU		BU37\VDDP		BU39\VDDE_IO		BU
BV	BV36\VDDP		BV38\VSS		BV40\VSS	BV
BW		BW37\VDDP		BW39\VSS		BW
BY	BY36\VDDP		BY38\VDDP		BY40\VSS	BY
CA		CA37\SENSE-		CA39\NC		CA
CB	CB36\VSS		CB38\NC		CB40\GPIO13	CB
CC		CC37\SENSE+		CC39\NC		CC
CD	CD36\VDDN		CD38\NC		CD40\GPIO10	CD
CE		CE37\VDDN		CE39\VSS		CE
CF	CF36\VSS		CF38\VDDN		CF40\GPIO00	CF
CG		CG37\VSS		CG39\VDDN		CG
CH	CH36\MC1_DQ59		CH38\VSS		CH40\VDDN	CH
CJ		CJ37\MC1_DQS07P		CJ39\VSS		CJ
CK	CK36\MC1_DQS07N		CK38\MC1_DQ63		CK40\GPIO03	CK
CL		CL37\VSS		CL39\VSS		CL
CM	CM36\MC1_DQS16P		CM38\MC1_DQ62		CM40\SYCLK	CM
CN		CN37\MC1_DQS16N		CN39\VSS		CN
CP	CP36\MC1_DQ57		CP38\VSS		CP40\VSS	CP
CR		CR37\VSS		CR39\MC1_DQS06P		CR
CT	CT36\VSS		CT38\MC1_DQ48		CT40\MC1_DQ51	CT
CU		CU37\MC1_DQ52		CU39\MC1_DQS06N		CU

CV	CV36\VSS		CV38\VSS		CV40\VSS	CV
CW		CW37\MC1_DQ53		CW39\MC1_DQS15P		CW
CY	CY36\VSS		CY38\MC1_DQ49		CY40\MC1_DQ50	CY
DA		DA37\VSS		DA39\MC1_DQS15N		DA
DB	DB36\MC0_DQS07P		DB38\VSS		DB40\MC1_DQ55	DB
DC		DC37\MC0_DQ63		DC39\VSS		DC
DD	DD36\MC0_DQS07N		DD38\MC0_DQ59		DD40\MC1_DQ54	DD
DE		DE37\VSS		DE39\VSS		DE
DF	DF36\MC0_DQS16P		DF38\MC0_DQ58		DF40\MC0_DQ51	DF
DG		DG37\MC0_DQ62		DG39\VSS		DG
DH	DH36\MC0_DQS16N		DH38\VSS		DH40\MC0_DQ50	DH
DJ		DJ37\VSS		DJ39\MC0_DQS06N		DJ
DK	DK36\VSS		DK38\MC0_DQ48		DK40\MC0_DQ55	DK
DL		DL37\MC0_DQ52		DL39\MC0_DQS06P		DL
DM	DM36\VSS		DM38\VSS		DM40\VSS	DM
DN		DN37\MC0_DQ53		DN39\MC0_DQS15P		DN
DP	DP36\VSS		DP38\MC0_DQ49		DP40\MC0_DQ54	DP
DR		DR37\VSS		DR39\MC0_DQS15N		DR

	41	42	43	44	45	
A	A41\VSS		A43\ VDD_PHY_DDR_23		A45\I2C2_SDA	A
B		B42\NMIN		B44\ VDD_PHY_DDR_23		B
C	C41\VSS		C43\ VDD_PHY_DDR_23		C45\ VDD_PHY_DDR_23	C
D		D42\SYSRESETN		D44\ VDD_PHY_DDR_23		D
E	E41\VSS		E43\ VDD_PHY_DDR_23		E45\ VDD_PHY_DDR_23	E
F		F42\DOTESTN		F44\ VDD_PHY_DDR_23		F
G	G41\VSS		G43\VDD_OSC_SE		G45\VSS	G
H		H42\ICCC_EN		H44\VSS		H
J	J41\VSS		J43\VSS_OSC_SE		J45\HT1_RX_CAD15N	J
K		K42\NC		K44\VSS		K
L	L41\VSS		L43\ VDD_1V8PLL_BU		L45\HT1_RX_CAD14N	L
M		M42\VDD_PLL_SYS		M44\VSS		M
N	N41\VSS		N43\VSS_PLL_BU		N45\HT1_RX_CAD13N	N
P		P42\VSS_PLL_SYS		P44\VSS		P
R	R41\VSS		R43\VDD_RNG_SE		R45\HT1_RX_CAD12N	R
T		T42\NC		T44\VSS		T
U	U41\VSS		U43\VSS_RNG_SE		U45\HT1_RX_CAD11N	U
V		V42\TSEL1		V44\VSS		V
W	W41\VSS		W43\NC		W45\HT1_RX_CAD10N	W
Y		Y42\TSEL0		Y44\VSS		Y
AA	AA41\VSS		AA43\NC		AA45\HT1_RX_CAD09N	AA
AB		AB42\CLKSEL04		AB44\VSS		AB
AC	AC41\CLKSEL08		AC43\VSS_PLL_SE		AC45\HT1_RX_CAD08N	AC
AD		AD42\CLKSEL00		AD44\VSS		AD
AE	AE41\CLKSEL02		AE43\VDD_PLL_SE		AE45\HT1_RX_CLK1N	AE
AF		AF42\CLKSEL01		AF44\VSS		AF
AG	AG41\CLKSEL06		AG43\VDD_VTS_S1		AG45\HT1_RX_CTL1N	AG
AH		AH42\CLKSEL03		AH44\VSS		AH
AJ	AJ41\VSS		AJ43\VSS_VTS_S1		AJ45\HT1_RX_CAD07N	AJ
AK		AK42\VDDN		AK44\VSS		AK
AL	AL41\VDDN		AL43\VDD_VTS_S3		AL45\HT1_RX_CAD06N	AL
AM		AM42\VSS		AM44\VSS		AM
AN	AN41\VSS		AN43\VSS_VTS_S3		AN45\HT1_RX_CAD05N	AN
AP		AP42\VSS		AP44\VSS		AP

AR	AR41\VDDE_IO		AR43\VSS		AR45\HT1_RX_CAD04N	AR
AT		AT42\VSS		AT44\VSS		AT
AU	AU41\VDDE_IO		AU43\VDD_HT		AU45\HT1_RX_CAD03N	AU
AV		AV42\VSS		AV44\VSS		AV
AW	AW41\VDDE_IO		AW43\VDD_HT		AW45\HT1_RX_CAD02N	AW
AY		AY42\VSS		AY44\VSS		AY
BA	BA41\VDDE_IO		BA43\VDD_HT		BA45\HT1_RX_CAD01N	BA
BB		BB42\VSS		BB44\VSS		BB
BC	BC41\VDDE_IO		BC43\VDD_HT		BC45\HT1_RX_CAD00N	BC
BD		BD42\VSS		BD44\VSS		BD
BE	BE41\CHIP_ID1		BE43\VDD_HT		BE45\HT1_RX_CLK0N	BE
BF		BF42\VDD_HT		BF44\VSS		BF
BG	BG41\CHIP_ID2		BG43\VDD_HT		BG45\HT1_RX_CTL0N	BG
BH		BH42\CHIP_ID3		BH44\VSS		BH
BJ	BJ41\UART0_RXD		BJ43\VDD_HT		BJ45\HT0_RX_CTL0N	BJ
BK		BK42\CHIP_ID0		BK44\VSS		BK
BL	BL41\UART0_TXD		BL43\VDD_HT		BL45\HT0_RX_CLK0N	BL
BM		BM42\VDD_HT		BM44\VSS		BM
BN	BN41\VDDE_IO		BN43\VDD_HT		BN45\HT0_RX_CAD00N	BN
BP		BP42\VDD_HT		BP44\VSS		BP
BR	BR41\ VDD_HT_PLL		BR43\VDD_HT		BR45\HT0_RX_CAD01N	BR
BT		BT42\VSS_HT_PLL		BT44\VSS		BT
BU	BU41\ VDD_HT_PLL		BU43\VDD_HT		BU45\HT0_RX_CAD02N	BU
BV		BV42\VSS_HT_PLL		BV44\VSS		BV
BW	BW41\ VDD_HT_PLL		BW43\VDD_HT		BW45\HT0_RX_CAD03N	BW
BY		BY42\VSS_HT_PLL		BY44\VSS		BY
CA	CA41\ VDD_HT_PLL		CA43\VDD_HT		CA45\HT0_RX_CAD04N	CA
CB		CB42\VSS_HT_PLL		CB44\VSS		CB
CC	CC41\VSS		CC43\VDD_HT		CC45\HT0_RX_CAD05N	CC
CD		CD42\VDD_HT		CD44\VSS		CD
CE	CE41\GPIO01		CE43\VDD_HT		CE45\HT0_RX_CAD06N	CE
CF		CF42\VDD_HT		CF44\VSS		CF
CG	CG41\GPIO05		CG43\VDD_HT		CG45\HT0_RX_CAD07N	CG
CH		CH42\VDD_HT		CH44\VSS		CH

CJ	CJ41\GPIO09		CJ43\VDD_HT		CJ45\HT0_RX_CTL1N	CJ
CK		CK42\VDD_HT		CK44\VSS		CK
CL	CL41\VDD_HT		CL43\VDD_HT		CL45\HT0_RX_CLK1N	CL
CM		CM42\VDD_HT		CM44\VSS		CM
CN	CN41\ SYSCLK_OUT		CN43\VDD_HT		CN45\HT0_RX_CAD08N	CN
CP		CP42\NC		CP44\VSS		CP
CR	CR41\VSS		CR43\VDD_HT		CR45\HT0_RX_CAD09N	CR
CT		CT42\NC		CT44\VSS		CT
CU	CU41\VSS		CU43\VDD_HT		CU45\HT0_RX_CAD10N	CU
CV		CV42\NC		CV44\VSS		CV
CW	CW41\VSS		CW43\TRSTN		CW45\HT0_RX_CAD11N	CW
CY		CY42\TCK		CY44\VSS		CY
DA	DA41\VSS		DA43\TESTCLK		DA45\HT0_RX_CAD12N	DA
DB		DB42\TMS		DB44\VSS		DB
DC	DC41\VSS		DC43\NC		DC45\HT0_RX_CAD13N	DC
DD		DD42\NC		DD44\VSS		DD
DE	DE41\VSS		DE43\NC		DE45\HT0_RX_CAD14N	DE
DF		DF42\NC		DF44\VSS		DF
DG	DG41\VSS		DG43\NC		DG45\HT0_RX_CAD15N	DG
DH		DH42\NC		DH44\VSS		DH
DJ	DJ41\VSS		DJ43\TDO		DJ45\VSS	DJ
DK		DK42\ VDD_PHY_DDR_01		DK44\TDI		DK
DL	DL41\VSS		DL43\ VDD_PHY_DDR_01		DL45\I2C1_SDA	DL
DM		DM42\ VDD_PHY_DDR_01		DM44\ VDD_PHY_DDR_01		DM
DN	DN41\VSS		DN43\ VDD_PHY_DDR_01		DN45\I2C0_SDA	DN
DP		DP42\ VDD_PHY_DDR_01		DP44\ VDD_PHY_DDR_01		DP
DR	DR41\VSS		DR43\ VDD_PHY_DDR_01		DR45\I2C0_SCL	DR

	46	47	48	49	50	
A		A47\I2C2_SCL		A49\ HT1_LO_LDT_STOPN		A
B	B46\ HT1_LO_POWEROK		B48\ HT1_LO_LDT_REQN		B50\ HT1_HI_HOSTMODE	B
C		C47\ HT1_LO_HOSTMODE		C49\HT1_HI_RSTN		C
D	D46\HT1_LO_RSTN		D48\HT3_LO_RSTN		D50\ HT3_HI_LDT_STOPN	D
E		E47\ HT3_LO_HOSTMODE		E49\ HT3_LO_POWEROK		E
F	F46\ HT3_LO_LDT_REQN		F48\ HT3_LO_LDT_STOPN		F50\ HT3_HI_LDT_REQN	F
G		G47\VSS		G49\VSS		G
H	H46\HT1_RX_CAD15P		H48\HT3_RX_CAD15N		H50\VSS	H
J		J47\VSS		J49\HT3_RX_CAD15P		J
K	K46\HT1_RX_CAD14P		K48\HT3_RX_CAD14N		K50\VSS	K
L		L47\VSS		L49\HT3_RX_CAD14P		L
M	M46\HT1_RX_CAD13P		M48\HT3_RX_CAD13N		M50\VSS	M
N		N47\VSS		N49\HT3_RX_CAD13P		N
P	P46\HT1_RX_CAD12P		P48\HT3_RX_CAD12N		P50\VSS	P
R		R47\VSS		R49\HT3_RX_CAD12P		R
T	T46\HT1_RX_CAD11P		T48\HT3_RX_CAD11N		T50\VSS	T
U		U47\VSS		U49\HT3_RX_CAD11P		U
V	V46\HT1_RX_CAD10P		V48\HT3_RX_CAD10N		V50\VSS	V
W		W47\VSS		W49\HT3_RX_CAD10P		W
Y	Y46\HT1_RX_CAD09P		Y48\HT3_RX_CAD09N		Y50\VSS	Y
AA		AA47\VSS		AA49\HT3_RX_CAD09P		AA
AB	AB46\HT1_RX_CAD08P		AB48\HT3_RX_CAD08N		AB50\VSS	AB
AC		AC47\VSS		AC49\HT3_RX_CAD08P		AC
AD	AD46\HT1_RX_CLK1P		AD48\HT3_RX_CLK1N		AD50\VSS	AD
AE		AE47\VSS		AE49\HT3_RX_CLK1P		AE
AF	AF46\HT1_RX_CTL1P		AF48\HT3_RX_CTL1N		AF50\VSS	AF
AG		AG47\VSS		AG49\HT3_RX_CTL1P		AG
AH	AH46\HT1_RX_CAD07P		AH48\HT3_RX_CAD07N		AH50\VSS	AH
AJ		AJ47\VSS		AJ49\HT3_RX_CAD07P		AJ
AK	AK46\HT1_RX_CAD06P		AK48\HT3_RX_CAD06N		AK50\VSS	AK
AL		AL47\VSS		AL49\HT3_RX_CAD06P		AL
AM	AM46\HT1_RX_CAD05P		AM48\HT3_RX_CAD05N		AM50\VSS	AM
AN		AN47\VSS		AN49\HT3_RX_CAD05P		AN
AP	AP46\HT1_RX_CAD04P		AP48\HT3_RX_CAD04N		AP50\VSS	AP
AR		AR47\VSS		AR49\HT3_RX_CAD04P		AR

AT	AT46\HT1_RX_CAD03P		AT48\HT3_RX_CAD03N		AT50\VSS	AT
AU		AU47\VSS		AU49\HT3_RX_CAD03P		AU
AV	AV46\HT1_RX_CAD02P		AV48\HT3_RX_CAD02N		AV50\VSS	AV
AW		AW47\VSS		AW49\HT3_RX_CAD02P		AW
AY	AY46\HT1_RX_CAD01P		AY48\HT3_RX_CAD01N		AY50\VSS	AY
BA		BA47\VSS		BA49\HT3_RX_CAD01P		BA
BB	BB46\HT1_RX_CAD00P		BB48\HT3_RX_CAD00N		BB50\VSS	BB
BC		BC47\VSS		BC49\HT3_RX_CAD00P		BC
BD	BD46\HT1_RX_CLK0P		BD48\HT3_RX_CLK0N		BD50\VSS	BD
BE		BE47\VSS		BE49\HT3_RX_CLK0P		BE
BF	BF46\HT1_RX_CTL0P		BF48\HT3_RX_CTL0N		BF50\VSS	BF
BG		BG47\VSS		BG49\HT3_RX_CTL0P		BG
BH	BH46\VSS		BH48\VSS		BH50\VSS	BH
BJ		BJ47\VSS		BJ49\HT2_RX_CTL0P		BJ
BK	BK46\HT0_RX_CTL0P		BK48\HT2_RX_CTL0N		BK50\VSS	BK
BL		BL47\VSS		BL49\HT2_RX_CLK0P		BL
BM	BM46\HT0_RX_CLK0P		BM48\HT2_RX_CLK0N		BM50\VSS	BM
BN		BN47\VSS		BN49\HT2_RX_CAD00P		BN
BP	BP46\HT0_RX_CAD00P		BP48\HT2_RX_CAD00N		BP50\VSS	BP
BR		BR47\VSS		BR49\HT2_RX_CAD01P		BR
BT	BT46\HT0_RX_CAD01P		BT48\HT2_RX_CAD01N		BT50\VSS	BT
BU		BU47\VSS		BU49\HT2_RX_CAD02P		BU
BV	BV46\HT0_RX_CAD02P		BV48\HT2_RX_CAD02N		BV50\VSS	BV
BW		BW47\VSS		BW49\HT2_RX_CAD03P		BW
BY	BY46\HT0_RX_CAD03P		BY48\HT2_RX_CAD03N		BY50\VSS	BY
CA		CA47\VSS		CA49\HT2_RX_CAD04P		CA
CB	CB46\HT0_RX_CAD04P		CB48\HT2_RX_CAD04N		CB50\VSS	CB
CC		CC47\VSS		CC49\HT2_RX_CAD05P		CC
CD	CD46\HT0_RX_CAD05P		CD48\HT2_RX_CAD05N		CD50\VSS	CD
CE		CE47\VSS		CE49\HT2_RX_CAD06P		CE
CF	CF46\HT0_RX_CAD06P		CF48\HT2_RX_CAD06N		CF50\VSS	CF
CG		CG47\VSS		CG49\HT2_RX_CAD07P		CG
CH	CH46\HT0_RX_CAD07P		CH48\HT2_RX_CAD07N		CH50\VSS	CH
CJ		CJ47\VSS		CJ49\HT2_RX_CTL1P		CJ
CK	CK46\HT0_RX_CTL1P		CK48\HT2_RX_CTL1N		CK50\VSS	CK
CL		CL47\VSS		CL49\HT2_RX_CLK1P		CL
CM	CM46\HT0_RX_CLK1P		CM48\HT2_RX_CLK1N		CM50\VSS	CM

CN		CN47\VSS		CN49\HT2_RX_CAD08P		CN
CP	CP46\HT0_RX_CAD08P		CP48\HT2_RX_CAD08N		CP50\VSS	CP
CR		CR47\VSS		CR49\HT2_RX_CAD09P		CR
CT	CT46\HT0_RX_CAD09P		CT48\HT2_RX_CAD09N		CT50\VSS	CT
CU		CU47\VSS		CU49\HT2_RX_CAD10P		CU
CV	CV46\HT0_RX_CAD10P		CV48\HT2_RX_CAD10N		CV50\VSS	CV
CW		CW47\VSS		CW49\HT2_RX_CAD11P		CW
CY	CY46\HT0_RX_CAD11P		CY48\HT2_RX_CAD11N		CY50\VSS	CY
DA		DA47\VSS		DA49\HT2_RX_CAD12P		DA
DB	DB46\HT0_RX_CAD12P		DB48\HT2_RX_CAD12N		DB50\VSS	DB
DC		DC47\VSS		DC49\HT2_RX_CAD13P		DC
DD	DD46\HT0_RX_CAD13P		DD48\HT2_RX_CAD13N		DD50\VSS	DD
DE		DE47\VSS		DE49\HT2_RX_CAD14P		DE
DF	DF46\HT0_RX_CAD14P		DF48\HT2_RX_CAD14N		DF50\VSS	DF
DG		DG47\VSS		DG49\HT2_RX_CAD15P		DG
DH	DH46\HT0_RX_CAD15P		DH48\HT2_RX_CAD15N		DH50\VSS	DH
DJ		DJ47\VSS		DJ49\VSS		DJ
DK	DK46\I2C1_SCL		DK48\ HT2_LO_LDT_REQN		DK50\ HT2_LO_LDT_STOPN	DK
DL		DL47\ HT2_LO_HOSTMODE		DL49\HT2_LO_RSTN		DL
DM	DM46\ HT0_LO_LDT_STOPN		DM48\ HT2_LO_POWEROK		DM50\ HT2_HI_HOSTMODE	DM
DN		DN47\HT0_LO_RSTN		DN49\ HT0_LO_POWEROK		DN
DP	DP46\ HT0_LO_HOSTMODE		DP48\ HT0_LO_LDT_REQN		DP50\ HT0_HI_LDT_STOPN	DP
DR		DR47\HT0_8X2		DR49\HT2_8X2		DR

	51	52	53	54	55	
A	A51\HT3_8X2		A53\HT3_REXT			A
B		B52\HT1_8X2		B54\HT1_REXT		B
C	C51\ HT1_HI_LDT_REQN		C53\ HT1_HI_LDT_STOPN		C55\HT1CLKP	C
D		D52\ HT1_HI_POWEROK		D54\HT1CLKN		D
E	E51\ HT3_HI_POWEROK		E53\ HT3_HI_HOSTMODE		E55\HT3CLKP	E
F		F52\ HT3_HI_RSTN		F54\HT3CLKN		F
G	G51\VSS		G53\VSS		G55\VSS	G
H		H52\HT1_TX_CAD15P		H54\HT3_TX_CAD15N		H
J	J51\HT1_TX_CAD15N		J53\VSS		J55\HT3_TX_CAD15P	J
K		K52\HT1_TX_CAD14P		K54\HT3_TX_CAD14N		K
L	L51\HT1_TX_CAD14N		L53\VSS		L55\HT3_TX_CAD14P	L
M		M52\HT1_TX_CAD13P		M54\HT3_TX_CAD13N		M
N	N51\HT1_TX_CAD13N		N53\VSS		N55\HT3_TX_CAD13P	N
P		P52\HT1_TX_CAD12P		P54\HT3_TX_CAD12N		P
R	R51\HT1_TX_CAD12N		R53\VSS		R55\HT3_TX_CAD12P	R
T		T52\HT1_TX_CAD11P		T54\HT3_TX_CAD11N		T
U	U51\HT1_TX_CAD11N		U53\VSS		U55\HT3_TX_CAD11P	U
V		V52\HT1_TX_CAD10P		V54\HT3_TX_CAD10N		V
W	W51\HT1_TX_CAD10N		W53\VSS		W55\HT3_TX_CAD10P	W
Y		Y52\HT1_TX_CAD09P		Y54\HT3_TX_CAD09N		Y
AA	AA51\HT1_TX_CAD09N		AA53\VSS		AA55\HT3_TX_CAD09P	AA
AB		AB52\HT1_TX_CAD08P		AB54\HT3_TX_CAD08N		AB
AC	AC51\HT1_TX_CAD08N		AC53\VSS		AC55\HT3_TX_CAD08P	AC
AD		AD52\HT1_TX_CLK1P		AD54\HT3_TX_CLK1N		AD
AE	AE51\HT1_TX_CLK1N		AE53\VSS		AE55\HT3_TX_CLK1P	AE
AF		AF52\HT1_TX_CTL1P		AF54\HT3_TX_CTL1N		AF
AG	AG51\HT1_TX_CTL1N		AG53\VSS		AG55\HT3_TX_CTL1P	AG
AH		AH52\HT1_TX_CAD07P		AH54\HT3_TX_CAD07N		AH
AJ	AJ51\HT1_TX_CAD07N		AJ53\VSS		AJ55\HT3_TX_CAD07P	AJ
AK		AK52\HT1_TX_CAD06P		AK54\HT3_TX_CAD06N		AK
AL	AL51\HT1_TX_CAD06N		AL53\VSS		AL55\HT3_TX_CAD06P	AL
AM		AM52\HT1_TX_CAD05P		AM54\HT3_TX_CAD05N		AM
AN	AN51\HT1_TX_CAD05N		AN53\VSS		AN55\HT3_TX_CAD05P	AN
AP		AP52\HT1_TX_CAD04P		AP54\HT3_TX_CAD04N		AP
AR	AR51\HT1_TX_CAD04N		AR53\VSS		AR55\HT3_TX_CAD04P	AR
AT		AT52\HT1_TX_CAD03P		AT54\HT3_TX_CAD03N		AT
AU	AU51\HT1_TX_CAD03N		AU53\VSS		AU55\HT3_TX_CAD03P	AU

AV		AV52\HT1_TX_CAD02P		AV54\HT3_TX_CAD02N		AV
AW	AW51\HT1_TX_CAD02N		AW53\VSS		AW55\HT3_TX_CAD02P	AW
AY		AY52\HT1_TX_CAD01P		AY54\HT3_TX_CAD01N		AY
BA	BA51\HT1_TX_CAD01N		BA53\VSS		BA55\HT3_TX_CAD01P	BA
BB		BB52\HT1_TX_CAD00P		BB54\HT3_TX_CAD00N		BB
BC	BC51\HT1_TX_CAD00N		BC53\VSS		BC55\HT3_TX_CAD00P	BC
BD		BD52\HT1_TX_CLK0P		BD54\HT3_TX_CLK0N		BD
BE	BE51\HT1_TX_CLK0N		BE53\VSS		BE55\HT3_TX_CLK0P	BE
BF		BF52\HT1_TX_CTL0P		BF54\HT3_TX_CTL0N		BF
BG	BG51\HT1_TX_CTL0N		BG53\VSS		BG55\HT3_TX_CTL0P	BG
BH		BH52\VSS		BH54\VSS		BH
BJ	BJ51\HT0_TX_CTL0N		BJ53\VSS		BJ55\HT2_TX_CTL0P	BJ
BK		BK52\HT0_TX_CTL0P		BK54\HT2_TX_CTL0N		BK
BL	BL51\HT0_TX_CLK0N		BL53\VSS		BL55\HT2_TX_CLK0P	BL
BM		BM52\HT0_TX_CLK0P		BM54\HT2_TX_CLK0N		BM
BN	BN51\HT0_TX_CAD00N		BN53\VSS		BN55\HT2_TX_CAD00P	BN
BP		BP52\HT0_TX_CAD00P		BP54\HT2_TX_CAD00N		BP
BR	BR51\HT0_TX_CAD01N		BR53\VSS		BR55\HT2_TX_CAD01P	BR
BT		BT52\HT0_TX_CAD01P		BT54\HT2_TX_CAD01N		BT
BU	BU51\HT0_TX_CAD02N		BU53\VSS		BU55\HT2_TX_CAD02P	BU
BV		BV52\HT0_TX_CAD02P		BV54\HT2_TX_CAD02N		BV
BW	BW51\HT0_TX_CAD03N		BW53\VSS		BW55\HT2_TX_CAD03P	BW
BY		BY52\HT0_TX_CAD03P		BY54\HT2_TX_CAD03N		BY
CA	CA51\HT0_TX_CAD04N		CA53\VSS		CA55\HT2_TX_CAD04P	CA
CB		CB52\HT0_TX_CAD04P		CB54\HT2_TX_CAD04N		CB
CC	CC51\HT0_TX_CAD05N		CC53\VSS		CC55\HT2_TX_CAD05P	CC
CD		CD52\HT0_TX_CAD05P		CD54\HT2_TX_CAD05N		CD
CE	CE51\HT0_TX_CAD06N		CE53\VSS		CE55\HT2_TX_CAD06P	CE
CF		CF52\HT0_TX_CAD06P		CF54\HT2_TX_CAD06N		CF
CG	CG51\HT0_TX_CAD07N		CG53\VSS		CG55\HT2_TX_CAD07P	CG
CH		CH52\HT0_TX_CAD07P		CH54\HT2_TX_CAD07N		CH
CJ	CJ51\HT0_TX_CTL1N		CJ53\VSS		CJ55\HT2_TX_CTL1P	CJ
CK		CK52\HT0_TX_CTL1P		CK54\HT2_TX_CTL1N		CK
CL	CL51\HT0_TX_CLK1N		CL53\VSS		CL55\HT2_TX_CLK1P	CL
CM		CM52\HT0_TX_CLK1P		CM54\HT2_TX_CLK1N		CM
CN	CN51\HT0_TX_CAD08N		CN53\VSS		CN55\HT2_TX_CAD08P	CN
CP		CP52\HT0_TX_CAD08P		CP54\HT2_TX_CAD08N		CP

CR	CR51\HT0_TX_CAD09N		CR53\VSS		CR55\HT2_TX_CAD09P	CR
CT		CT52\HT0_TX_CAD09P		CT54\HT2_TX_CAD09N		CT
CU	CU51\HT0_TX_CAD10N		CU53\VSS		CU55\HT2_TX_CAD10P	CU
CV		CV52\HT0_TX_CAD10P		CV54\HT2_TX_CAD10N		CV
CW	CW51\HT0_TX_CAD11N		CW53\VSS		CW55\HT2_TX_CAD11P	CW
CY		CY52\HT0_TX_CAD11P		CY54\HT2_TX_CAD11N		CY
DA	DA51\HT0_TX_CAD12N		DA53\VSS		DA55\HT2_TX_CAD12P	DA
DB		DB52\HT0_TX_CAD12P		DB54\HT2_TX_CAD12N		DB
DC	DC51\HT0_TX_CAD13N		DC53\VSS		DC55\HT2_TX_CAD13P	DC
DD		DD52\HT0_TX_CAD13P		DD54\HT2_TX_CAD13N		DD
DE	DE51\HT0_TX_CAD14N		DE53\VSS		DE55\HT2_TX_CAD14P	DE
DF		DF52\HT0_TX_CAD14P		DF54\HT2_TX_CAD14N		DF
DG	DG51\HT0_TX_CAD15N		DG53\VSS		DG55\HT2_TX_CAD15P	DG
DH		DH52\HT0_TX_CAD15P		DH54\HT2_TX_CAD15N		DH
DJ	DJ51\VSS		DJ53\VSS		DJ55\VSS	DJ
DK		DK52\HT2_HI_RSTN		DK54\HT2CLKP		DK
DL	DL51\ HT2_HI_LDT_REQN		DL53\ HT2_HI_POWEROK		DL55\HT2CLKN	DL
DM		DM52\ HT2_HI_LDT_STOPN		DM54\HT0CLKP		DM
DN	DN51\ HT0_HI_HOSTMODE		DN53\ HT0_HI_LDT_REQN		DN55\HT0CLKN	DN
DP		DP52\HT0_HI_RSTN		DP54\HT2_REXT		DP
DR	DR51\ HT0_HI_POWEROK		DR53\HT0_REXT			DR

附录二：芯片引脚内部延迟数据

NET NAME	OVERALL TOTAL (um)	NET NAME	OVERALL TOTAL (um)
HTO_RX_CAD00N	35607.07	HTO_TX_CAD04N	27212.32
HTO_RX_CAD00P	35558.88	HTO_TX_CAD04P	27257.26
HTO_RX_CAD01N	35595.63	HTO_TX_CAD05N	27297.53
HTO_RX_CAD01P	35640.23	HTO_TX_CAD05P	27254.61
HTO_RX_CAD02N	35581.12	HTO_TX_CAD06N	27315.96
HTO_RX_CAD02P	35594.25	HTO_TX_CAD06P	27301.61
HTO_RX_CAD03N	35582.55	HTO_TX_CAD07N	27283.23
HTO_RX_CAD03P	35537.58	HTO_TX_CAD07P	27330.91
HTO_RX_CAD04N	35665.94	HTO_TX_CAD08N	27300.84
HTO_RX_CAD04P	35648.55	HTO_TX_CAD08P	27335.01
HTO_RX_CAD05N	35581.98	HTO_TX_CAD09N	27242.65
HTO_RX_CAD05P	35538.28	HTO_TX_CAD09P	27223.84
HTO_RX_CAD06N	35657.16	HTO_TX_CAD10N	27239.63
HTO_RX_CAD06P	35631.9	HTO_TX_CAD10P	27211.22
HTO_RX_CAD07N	35609.47	HTO_TX_CAD11N	27363.16
HTO_RX_CAD07P	35568.6	HTO_TX_CAD11P	27362.38
HTO_RX_CAD08N	35671.29	HTO_TX_CAD12N	27240.18
HTO_RX_CAD08P	35658.35	HTO_TX_CAD12P	27279.58
HTO_RX_CAD09N	35808.8	HTO_TX_CAD13N	27282.68
HTO_RX_CAD09P	35837.05	HTO_TX_CAD13P	27311.65
HTO_RX_CAD10N	35759.68	HTO_TX_CAD14N	27321.81
HTO_RX_CAD10P	35742.85	HTO_TX_CAD14P	27333.22
HTO_RX_CAD11N	35767.57	HTO_TX_CAD15N	27263.44
HTO_RX_CAD11P	35731.51	HTO_TX_CAD15P	27305.61
HTO_RX_CAD12N	35786.06	HTO_TX_CLKON	27221.66
HTO_RX_CAD12P	35827.18	HTO_TX_CLKOP	27266.51
HTO_RX_CAD13N	35753.15	HTO_TX_CLK1N	27155.18
HTO_RX_CAD13P	35731.47	HTO_TX_CLK1P	27202.17
HTO_RX_CAD14N	35730.82	HTO_TX_CTLON	27243.75
HTO_RX_CAD14P	35738.69	HTO_TX_CTLOP	27286.72
HTO_RX_CAD15N	35774.81	HTO_TX_CTL1N	26854.55
HTO_RX_CAD15P	35815.49	HTO_TX_CTL1P	26894.53
HTO_RX_CLKON	35528.63	HT1_RX_CAD00N	35058.81
HTO_RX_CLKOP	35567.39	HT1_RX_CAD00P	35074.36
HTO_RX_CLK1N	35738.67	HT1_RX_CAD01N	35041.89
HTO_RX_CLK1P	35720.38	HT1_RX_CAD01P	34998.99
HTO_RX_CTLON	35641.13	HT1_RX_CAD02N	35139.21

HT0_RX_CTL0P	35594.68	HT1_RX_CAD02P	35092.23
HT0_RX_CTL1N	35660.24	HT1_RX_CAD03N	35022.31
HT0_RX_CTL1P	35648.1	HT1_RX_CAD03P	35017.65
HT0_TX_CAD00N	27196	HT1_RX_CAD04N	35011.85
HT0_TX_CAD00P	27196.55	HT1_RX_CAD04P	35056.49
HT0_TX_CAD01N	27249.91	HT1_RX_CAD05N	35047.11
HT0_TX_CAD01P	27294.13	HT1_RX_CAD05P	35030.62
HT0_TX_CAD02N	27253.43	HT1_RX_CAD06N	35053.99
HT0_TX_CAD02P	27265.97	HT1_RX_CAD06P	35044.82
HT0_TX_CAD03N	27332.16	HT1_RX_CAD07N	35110.28
HT0_TX_CAD03P	27337.54	HT1_RX_CAD07P	35097.22
HT1_RX_CAD08N	35115.59	HT1_TX_CAD12N	27593.04
HT1_RX_CAD08P	35111.04	HT1_TX_CAD12P	27636.57
HT1_RX_CAD09N	35190.08	HT1_TX_CAD13N	27696.36
HT1_RX_CAD09P	35213.15	HT1_TX_CAD13P	27665.72
HT1_RX_CAD10N	35180.09	HT1_TX_CAD14N	27690.77
HT1_RX_CAD10P	35201.47	HT1_TX_CAD14P	27656.47
HT1_RX_CAD11N	35174.27	HT1_TX_CAD15N	27725.66
HT1_RX_CAD11P	35167.32	HT1_TX_CAD15P	27694.63
HT1_RX_CAD12N	35238.49	HT1_TX_CLK0N	27639.58
HT1_RX_CAD12P	35260.32	HT1_TX_CLK0P	27680.37
HT1_RX_CAD13N	35225.98	HT1_TX_CLK1N	27527.94
HT1_RX_CAD13P	35183.73	HT1_TX_CLK1P	27552.73
HT1_RX_CAD14N	35229.78	HT1_TX_CTL0N	27735.9
HT1_RX_CAD14P	35181.58	HT1_TX_CTL0P	27738.22
HT1_RX_CAD15N	35261.99	HT1_TX_CTL1N	27556.53
HT1_RX_CAD15P	35278.41	HT1_TX_CTL1P	27533.91
HT1_RX_CLK0N	35103.53	HT2_RX_CAD00N	39650.63
HT1_RX_CLK0P	35077.69	HT2_RX_CAD00P	39601.93
HT1_RX_CLK1N	35195.56	HT2_RX_CAD01N	39662.43
HT1_RX_CLK1P	35174.15	HT2_RX_CAD01P	39644.4
HT1_RX_CTL0N	35175.82	HT2_RX_CAD02N	39695.18
HT1_RX_CTL0P	35169.62	HT2_RX_CAD02P	39676.66
HT1_RX_CTL1N	35177.67	HT2_RX_CAD03N	39668.94
HT1_RX_CTL1P	35214.1	HT2_RX_CAD03P	39629.46
HT1_TX_CAD00N	27724.74	HT2_RX_CAD04N	39737.89
HT1_TX_CAD00P	27740.77	HT2_RX_CAD04P	39697.25
HT1_TX_CAD01N	27674.04	HT2_RX_CAD05N	39714.82
HT1_TX_CAD01P	27637.68	HT2_RX_CAD05P	39693.89
HT1_TX_CAD02N	27760.05	HT2_RX_CAD06N	39621
HT1_TX_CAD02P	27773.51	HT2_RX_CAD06P	39635.66
HT1_TX_CAD03N	27665.19	HT2_RX_CAD07N	39636.49

HT1_TX_CAD03P	27641.74	HT2_RX_CAD07P	39617.97
HT1_TX_CAD04N	27667.54	HT2_RX_CAD08N	39643.59
HT1_TX_CAD04P	27713.99	HT2_RX_CAD08P	39626.82
HT1_TX_CAD05N	27620.3	HT2_RX_CAD09N	39585.77
HT1_TX_CAD05P	27610.2	HT2_RX_CAD09P	39553.4
HT1_TX_CAD06N	27666.96	HT2_RX_CAD10N	39586.75
HT1_TX_CAD06P	27633.08	HT2_RX_CAD10P	39593.39
HT1_TX_CAD07N	27775.27	HT2_RX_CAD11N	39619.21
HT1_TX_CAD07P	27743.64	HT2_RX_CAD11P	39585
HT1_TX_CAD08N	27718.01	HT2_RX_CAD12N	39543.28
HT1_TX_CAD08P	27685.89	HT2_RX_CAD12P	39551.81
HT1_TX_CAD09N	27655.21	HT2_RX_CAD13N	39695.06
HT1_TX_CAD09P	27622.81	HT2_RX_CAD13P	39703.58
HT1_TX_CAD10N	27690.46	HT2_RX_CAD14N	39663.12
HT1_TX_CAD10P	27655.29	HT2_RX_CAD14P	39712.36
HT1_TX_CAD11N	27664.3	HT2_RX_CAD15N	39675.17
HT1_TX_CAD11P	27702.04	HT2_RX_CAD15P	39650.64
HT2_RX_CLK0N	39684.83	HT3_RX_CAD00N	36304.86
HT2_RX_CLK0P	39638.39	HT3_RX_CAD00P	36283.79
HT2_RX_CLK1N	39643.93	HT3_RX_CAD01N	36403.59
HT2_RX_CLK1P	39622.86	HT3_RX_CAD01P	36379.12
HT2_RX_CTL0N	39663.08	HT3_RX_CAD02N	36401.24
HT2_RX_CTL0P	39615.88	HT3_RX_CAD02P	36441.85
HT2_RX_CTL1N	39615.92	HT3_RX_CAD03N	36307.85
HT2_RX_CTL1P	39587.82	HT3_RX_CAD03P	36353.48
HT2_TX_CAD00N	29048.78	HT3_RX_CAD04N	36388.86
HT2_TX_CAD00P	29022.17	HT3_RX_CAD04P	36403.58
HT2_TX_CAD01N	28985.59	HT3_RX_CAD05N	36439.47
HT2_TX_CAD01P	28957.45	HT3_RX_CAD05P	36407.9
HT2_TX_CAD02N	29017.61	HT3_RX_CAD06N	36321.94
HT2_TX_CAD02P	28998.27	HT3_RX_CAD06P	36318.3
HT2_TX_CAD03N	29028.62	HT3_RX_CAD07N	36411.48
HT2_TX_CAD03P	29003.4	HT3_RX_CAD07P	36366.84
HT2_TX_CAD04N	29062.66	HT3_RX_CAD08N	36402.19
HT2_TX_CAD04P	29082.86	HT3_RX_CAD08P	36382.13
HT2_TX_CAD05N	29018.22	HT3_RX_CAD09N	36416.44
HT2_TX_CAD05P	29038.41	HT3_RX_CAD09P	36433.67
HT2_TX_CAD06N	29003.98	HT3_RX_CAD10N	36410.77
HT2_TX_CAD06P	29024.17	HT3_RX_CAD10P	36403.63
HT2_TX_CAD07N	29044.84	HT3_RX_CAD11N	36386.7
HT2_TX_CAD07P	29065.53	HT3_RX_CAD11P	36398.54
HT2_TX_CAD08N	28919.72	HT3_RX_CAD12N	36459

HT2_TX_CAD08P	28940.4	HT3_RX_CAD12P	36446.34
HT2_TX_CAD09N	28923.23	HT3_RX_CAD13N	36361.56
HT2_TX_CAD09P	28943.9	HT3_RX_CAD13P	36359.3
HT2_TX_CAD10N	29042.69	HT3_RX_CAD14N	36379.18
HT2_TX_CAD10P	29063.36	HT3_RX_CAD14P	36383.76
HT2_TX_CAD11N	29061.7	HT3_RX_CAD15N	36305.88
HT2_TX_CAD11P	29080.91	HT3_RX_CAD15P	36317.28
HT2_TX_CAD12N	28958.68	HT3_RX_CLKON	36357.97
HT2_TX_CAD12P	28977.89	HT3_RX_CLKOP	36315.59
HT2_TX_CAD13N	28980.39	HT3_RX_CLK1N	36366.33
HT2_TX_CAD13P	29011.83	HT3_RX_CLK1P	36361.79
HT2_TX_CAD14N	28924.49	HT3_RX_CTLON	36354.82
HT2_TX_CAD14P	28968.84	HT3_RX_CTLOP	36312.06
HT2_TX_CAD15N	28972.1	HT3_RX_CTL1N	36412.51
HT2_TX_CAD15P	29007.82	HT3_RX_CTL1P	36365.65
HT2_TX_CLKON	28991.59	HT3_TX_CAD00N	29098.4
HT2_TX_CLKOP	28971.89	HT3_TX_CAD00P	29115.79
HT2_TX_CLK1N	28989.58	HT3_TX_CAD01N	28972.98
HT2_TX_CLK1P	28961.46	HT3_TX_CAD01P	29015.45
HT2_TX_CTLON	28972.56	HT3_TX_CAD02N	28923.31
HT2_TX_CTLOP	29017.87	HT3_TX_CAD02P	28949.72
HT2_TX_CTL1N	28936.47	HT3_TX_CAD03N	28942.7
HT2_TX_CTL1P	28955.18	HT3_TX_CAD03P	28968.55
HT3_TX_CAD04N	29020.97	MC0_ALERTN	19616.22
HT3_TX_CAD04P	29046.64	MC0_BA0	19548.43
HT3_TX_CAD05N	29017.25	MC0_BA1	19583.42
HT3_TX_CAD05P	29051.59	MC0_BG0	19477.43
HT3_TX_CAD06N	28982.53	MC0_BG1	19573.87
HT3_TX_CAD06P	29016.93	MC0_CASN	19487.5
HT3_TX_CAD07N	29017.13	MC0_CB0	19271.43
HT3_TX_CAD07P	29052.09	MC0_CB1	19255.66
HT3_TX_CAD08N	28998.72	MC0_CB2	19152.37
HT3_TX_CAD08P	29033.79	MC0_CB3	19162.42
HT3_TX_CAD09N	28990.81	MC0_CB4	19205.38
HT3_TX_CAD09P	29001.08	MC0_CB5	19287.8
HT3_TX_CAD10N	28988.3	MC0_CB6	19311.9
HT3_TX_CAD10P	29023.45	MC0_CB7	19199.74
HT3_TX_CAD11N	29010.2	MC0_CID2	12095.68
HT3_TX_CAD11P	29020.67	MC0_CKON	19598.07
HT3_TX_CAD12N	29024.98	MC0_CKOP	19639.59
HT3_TX_CAD12P	28996.15	MC0_CK1N	19496.7
HT3_TX_CAD13N	29003.84	MC0_CK1P	19536.31

HT3_TX_CAD13P	29013.41	MCO_CK2N	19561.64
HT3_TX_CAD14N	29062.23	MCO_CK2P	19601.25
HT3_TX_CAD14P	29033.56	MCO_CK3N	19611
HT3_TX_CAD15N	29098.31	MCO_CK3P	19574.66
HT3_TX_CAD15P	29078.9	MCO_CKE0	19543.74
HT3_TX_CLK0N	29020.01	MCO_CKE1	19667.04
HT3_TX_CLK0P	29046.33	MCO_CKE2	19539.57
HT3_TX_CLK1N	29031.5	MCO_CKE3	19477.47
HT3_TX_CLK1P	29042.08	MCO_DQ00	24111.38
HT3_TX_CTL0N	29060.59	MCO_DQ01	24059.79
HT3_TX_CTL0P	29082.27	MCO_DQ02	24026.99
HT3_TX_CTL1N	29034.77	MCO_DQ03	24041.88
HT3_TX_CTL1P	28996.6	MCO_DQ04	24126.59
MCO_A00	19624.33	MCO_DQ05	24129.05
MCO_A01	19544.6	MCO_DQ06	23990.98
MCO_A02	19591.59	MCO_DQ07	24067.42
MCO_A03	19549.33	MCO_DQ08	25267.62
MCO_A04	19492.05	MCO_DQ09	25376.46
MCO_A05	19527.8	MCO_DQ10	25379.92
MCO_A06	19561.15	MCO_DQ11	25348.3
MCO_A07	19660.56	MCO_DQ12	25349.22
MCO_A08	19546.09	MCO_DQ13	25230.15
MCO_A09	19620.77	MCO_DQ14	25295.78
MCO_A10	19600.06	MCO_DQ15	25308.15
MCO_A11	19594.23	MCO_DQ16	20788.69
MCO_A12	19544.74	MCO_DQ17	20820.45
MCO_A13	19644.05	MCO_DQ18	20707.08
MCO_A17	19647.75	MCO_DQ19	20808.1
MCO_ACTN	19555.94	MCO_DQ20	20754.29
MCO_DQ21	20738.64	MCO_DQS02P	20821.18
MCO_DQ22	20747.38	MCO_DQS03N	22995.63
MCO_DQ23	20680.08	MCO_DQS03P	22992.92
MCO_DQ24	22998.06	MCO_DQS04N	20694.34
MCO_DQ25	23074.78	MCO_DQS04P	20724.42
MCO_DQ26	23040.8	MCO_DQS05N	14423.88
MCO_DQ27	23054.59	MCO_DQS05P	14467.23
MCO_DQ28	23028.76	MCO_DQS06N	20478.62
MCO_DQ29	23020.04	MCO_DQS06P	20522.52
MCO_DQ30	22979.06	MCO_DQS07N	13944.27
MCO_DQ31	23062.87	MCO_DQS07P	13987.62
MCO_DQ32	20754.12	MCO_DQS08N	19185.21
MCO_DQ33	20755.4	MCO_DQS08P	19228.56

MCO_DQ34	20742.94	MCO_DQS09N	24032.77
MCO_DQ35	20750.34	MCO_DQS09P	24065.87
MCO_DQ36	20853.48	MCO_DQS10N	25299.85
MCO_DQ37	20790.13	MCO_DQS10P	25272.89
MCO_DQ38	20784.16	MCO_DQS11N	20774.41
MCO_DQ39	20794.47	MCO_DQS11P	20740.17
MCO_DQ40	14414.51	MCO_DQS12N	23100.65
MCO_DQ41	14551.48	MCO_DQS12P	23057.31
MCO_DQ42	14480.69	MCO_DQS13N	20759.2
MCO_DQ43	14431.25	MCO_DQS13P	20746.19
MCO_DQ44	14408.41	MCO_DQS14N	14418.33
MCO_DQ45	14461.37	MCO_DQS14P	14455.67
MCO_DQ46	14440.5	MCO_DQS15N	20437.07
MCO_DQ47	14457.97	MCO_DQS15P	20431
MCO_DQ48	20349.11	MCO_DQS16N	14005.17
MCO_DQ49	20504.38	MCO_DQS16P	13970.85
MCO_DQ50	20387.46	MCO_DQS17N	19235.63
MCO_DQ51	20437.87	MCO_DQS17P	19203.01
MCO_DQ52	20391.26	MCO_ODT0	19609.95
MCO_DQ53	20419.11	MCO_ODT1	19527.5
MCO_DQ54	20452.04	MCO_ODT2	19528.6
MCO_DQ55	20408.29	MCO_ODT3	19642.27
MCO_DQ56	13973.98	MCO_PAR	19542.49
MCO_DQ57	13942.63	MCO_RASN	19570.53
MCO_DQ58	14003.18	MCO_RESETN	19945.98
MCO_DQ59	14050.02	MCO_REXT	15396.51
MCO_DQ60	13962.5	MCO_SCSN0	19583.08
MCO_DQ61	13963.23	MCO_SCSN1	19647.73
MCO_DQ62	14039.39	MCO_SCSN2	19538.69
MCO_DQ63	13961.16	MCO_SCSN3	19582.21
MCO_DQS00N	24058.31	MCO_SCSN4	19553.04
MCO_DQS00P	24089.06	MCO_SCSN5	19568.38
MCO_DQS01N	25338.54	MCO_SCSN6	19664.89
MCO_DQS01P	25309.19	MCO_SCSN7	19659.2
MCO_DQS02N	20777.83	MCO_WEN	19489.12
MC1_A00	11562.09	MC1_DQ05	23670.54
MC1_A01	11524.16	MC1_DQ06	23634.18
MC1_A02	11470.1	MC1_DQ07	23717.33
MC1_A03	11421.87	MC1_DQ08	18430.94
MC1_A04	11446.68	MC1_DQ09	18545.13
MC1_A05	11409.33	MC1_DQ10	18423.15
MC1_A06	11439.29	MC1_DQ11	18433.63

MC1_A07	11493.08	MC1_DQ12	18466.48
MC1_A08	11498.36	MC1_DQ13	18460.55
MC1_A09	11557.2	MC1_DQ14	18520.01
MC1_A10	11532.78	MC1_DQ15	18400.53
MC1_A11	11414.15	MC1_DQ16	17235.11
MC1_A12	11483.97	MC1_DQ17	17314.84
MC1_A13	11404.68	MC1_DQ18	17384.43
MC1_A17	11406.38	MC1_DQ19	17206.6
MC1_ACTN	11555.55	MC1_DQ20	17224.9
MC1_ALERTN	11493.64	MC1_DQ21	17247.75
MC1_BA0	11417.58	MC1_DQ22	17353.24
MC1_BA1	11494.22	MC1_DQ23	17292.71
MC1_BG0	11417.93	MC1_DQ24	13870.1
MC1_BG1	11499.31	MC1_DQ25	13827.58
MC1_CASN	11548.58	MC1_DQ26	13902.49
MC1_CBO	14044.63	MC1_DQ27	13876.72
MC1_CB1	13961.82	MC1_DQ28	13943.18
MC1_CB2	14103.61	MC1_DQ29	13864.24
MC1_CB3	14085.94	MC1_DQ30	13887.94
MC1_CB4	14118.95	MC1_DQ31	13896.93
MC1_CB5	14100.77	MC1_DQ32	11897.15
MC1_CB6	14022.74	MC1_DQ33	11909.22
MC1_CB7	14126.41	MC1_DQ34	11931.5
MC1_CID2	4347.99	MC1_DQ35	11957.95
MC1_CK0N	11494.66	MC1_DQ36	11976.05
MC1_CK0P	11473.5	MC1_DQ37	12067.76
MC1_CK1N	11499.44	MC1_DQ38	11935.2
MC1_CK1P	11463.51	MC1_DQ39	12090.33
MC1_CK2N	11433.89	MC1_DQ40	8460.78
MC1_CK2P	11441.56	MC1_DQ41	8471.35
MC1_CK3N	11549.95	MC1_DQ42	8413.64
MC1_CK3P	11500.1	MC1_DQ43	8490.95
MC1_CKE0	11464.95	MC1_DQ44	8447
MC1_CKE1	11420.8	MC1_DQ45	8387.63
MC1_CKE2	11425.71	MC1_DQ46	8351.05
MC1_CKE3	11431.18	MC1_DQ47	8387.3
MC1_DQ00	23642.55	MC1_DQ48	16254.91
MC1_DQ01	23753.61	MC1_DQ49	16219.17
MC1_DQ02	23768.71	MC1_DQ50	16296.4
MC1_DQ03	23776.53	MC1_DQ51	16289.23
MC1_DQ04	23803.52	MC1_DQ52	16312.86
MC1_DQ53	16304.14	MC1_ODT1	11496.17

MC1_DQ54	16208.68	MC1_ODT2	11461.81
MC1_DQ55	16263.32	MC1_ODT3	11499.82
MC1_DQ56	9296.67	MC1_PAR	11506.57
MC1_DQ57	9204.88	MC1_RASN	11496.6
MC1_DQ58	9257.31	MC1_RESETN	14554.78
MC1_DQ59	9279.1	MC1_REXT	3294.6
MC1_DQ60	9371.37	MC1_SCSN0	11431.78
MC1_DQ61	9275.6	MC1_SCSN1	11418.59
MC1_DQ62	9362.3	MC1_SCSN2	11496.55
MC1_DQ63	9265.96	MC1_SCSN3	11495.21
MC1_DQS00N	23662.85	MC1_SCSN4	11492.37
MC1_DQS00P	23687.66	MC1_SCSN5	11467.92
MC1_DQS01N	18471.86	MC1_SCSN6	11478.78
MC1_DQS01P	18482.4	MC1_SCSN7	11473.46
MC1_DQS02N	17209.78	MC1_WEN	11415.8
MC1_DQS02P	17246.02	MC2_A00	11582.98
MC1_DQS03N	13923.52	MC2_A01	11621.94
MC1_DQS03P	13939.97	MC2_A02	11521
MC1_DQS04N	12019.58	MC2_A03	11534.97
MC1_DQS04P	12059.57	MC2_A04	11460.97
MC1_DQS05N	8360.69	MC2_A05	11469.93
MC1_DQS05P	8395.98	MC2_A06	11445.49
MC1_DQS06N	16208.17	MC2_A07	11495.31
MC1_DQS06P	16244.7	MC2_A08	11572.02
MC1_DQS07N	9253.64	MC2_A09	11540.14
MC1_DQS07P	9294.18	MC2_A10	11478.91
MC1_DQS08N	14001.47	MC2_A11	11584.11
MC1_DQS08P	14037.89	MC2_A12	11518.85
MC1_DQS09N	23750.92	MC2_A13	11551.52
MC1_DQS09P	23714.99	MC2_A17	11586.69
MC1_DQS10N	18528.46	MC2_ACTN	11475.99
MC1_DQS10P	18501.74	MC2_ALERTN	11550.61
MC1_DQS11N	17295.12	MC2_BA0	11504.66
MC1_DQS11P	17274.45	MC2_BA1	11456.5
MC1_DQS12N	13914.85	MC2_BG0	11545.5
MC1_DQS12P	13881.99	MC2_BG1	11477.05
MC1_DQS13N	11993.33	MC2_CASN	11501.1
MC1_DQS13P	11987.68	MC2_CB0	13251.7
MC1_DQS14N	8483.35	MC2_CB1	13257.32
MC1_DQS14P	8440.01	MC2_CB2	13260.22
MC1_DQS15N	16172.88	MC2_CB3	13256.29
MC1_DQS15P	16214.28	MC2_CB4	13179.82

MC1_DQS16N	9301.08	MC2_CB5	13250
MC1_DQS16P	9292.68	MC2_CB6	13183.66
MC1_DQS17N	14050.62	MC2_CB7	13263.36
MC1_DQS17P	14011.48	MC2_CID2	4616.71
MC1_ODT0	11443.03	MC2_CK0N	11539.69
MC2_CK0P	11584.94	MC2_DQ37	11898.61
MC2_CK1N	11538.88	MC2_DQ38	11867.78
MC2_CK1P	11548.16	MC2_DQ39	11922.49
MC2_CK2N	11454.61	MC2_DQ40	9749.48
MC2_CK2P	11467.72	MC2_DQ41	9576.66
MC2_CK3N	11507.45	MC2_DQ42	9582.65
MC2_CK3P	11473.55	MC2_DQ43	9559.55
MC2_CKE0	11507.66	MC2_DQ44	9615.49
MC2_CKE1	11488.86	MC2_DQ45	9561.31
MC2_CKE2	11518.51	MC2_DQ46	9613.22
MC2_CKE3	11634.91	MC2_DQ47	9584.09
MC2_DQ00	24018.11	MC2_DQ48	16885.88
MC2_DQ01	24012.23	MC2_DQ49	16860.52
MC2_DQ02	23899.59	MC2_DQ50	16802.14
MC2_DQ03	23899.25	MC2_DQ51	16781.05
MC2_DQ04	23937.21	MC2_DQ52	16769.39
MC2_DQ05	23952.78	MC2_DQ53	16809.35
MC2_DQ06	24005	MC2_DQ54	16864.83
MC2_DQ07	23912.6	MC2_DQ55	16769.43
MC2_DQ08	17145.92	MC2_DQ56	10215.72
MC2_DQ09	17102.31	MC2_DQ57	10332.5
MC2_DQ10	17200.41	MC2_DQ58	10181.88
MC2_DQ11	17203.54	MC2_DQ59	10201.74
MC2_DQ12	17050.7	MC2_DQ60	10168.95
MC2_DQ13	17075.67	MC2_DQ61	10155.09
MC2_DQ14	17213.18	MC2_DQ62	10311.83
MC2_DQ15	17120.63	MC2_DQ63	10224.08
MC2_DQ16	16234.7	MC2_DQS00N	23891.41
MC2_DQ17	16410.67	MC2_DQS00P	23934.92
MC2_DQ18	16280.32	MC2_DQS01N	17102.49
MC2_DQ19	16257.84	MC2_DQS01P	17149.77
MC2_DQ20	16297.3	MC2_DQS02N	16332
MC2_DQ21	16355.41	MC2_DQS02P	16311.21
MC2_DQ22	16290.53	MC2_DQS03N	12755.72
MC2_DQ23	16222.72	MC2_DQS03P	12797.01
MC2_DQ24	12781.99	MC2_DQS04N	11797.79
MC2_DQ25	12711.12	MC2_DQS04P	11807.29

MC2_DQ26	12705.21	MC2_DQS05N	9586.79
MC2_DQ27	12801.15	MC2_DQS05P	9626.14
MC2_DQ28	12896.29	MC2_DQS06N	16795.51
MC2_DQ29	12829.12	MC2_DQS06P	16829.96
MC2_DQ30	12802.81	MC2_DQS07N	10249.84
MC2_DQ31	12788.27	MC2_DQS07P	10290.21
MC2_DQ32	11889.1	MC2_DQS08N	13183.54
MC2_DQ33	11769.3	MC2_DQS08P	13219.43
MC2_DQ34	11913.32	MC2_DQS09N	23986.31
MC2_DQ35	11827.9	MC2_DQS09P	23969.72
MC2_DQ36	11760.68	MC2_DQS10N	17212.31
MC2_DQS10P	17177.35	MC3_ALERTN	18454.65
MC2_DQS11N	16345.87	MC3_BA0	18442.14
MC2_DQS11P	16344.4	MC3_BA1	18350.99
MC2_DQS12N	12798.86	MC3_BG0	18449.74
MC2_DQS12P	12779.36	MC3_BG1	18369.83
MC2_DQS13N	11831.69	MC3_CASN	18369.01
MC2_DQS13P	11818.92	MC3_CB0	18363.42
MC2_DQS14N	9650.47	MC3_CB1	18254.91
MC2_DQS14P	9605.06	MC3_CB2	18201.7
MC2_DQS15N	16736.5	MC3_CB3	18401.43
MC2_DQS15P	16738.51	MC3_CB4	18384.44
MC2_DQS16N	10255.77	MC3_CB5	18320.88
MC2_DQS16P	10226.21	MC3_CB6	18368.9
MC2_DQS17N	13168.96	MC3_CB7	18344.26
MC2_DQS17P	13142	MC3_CID2	11976.67
MC2_ODT0	11508.41	MC3_CKON	18372.55
MC2_ODT1	11461.48	MC3_CK0P	18412.17
MC2_ODT2	11534.46	MC3_CK1N	18393.99
MC2_ODT3	11638.7	MC3_CK1P	18433.61
MC2_PAR	11460.48	MC3_CK2N	18416.37
MC2_RASN	11471.21	MC3_CK2P	18455.98
MC2_RESETN	14022.13	MC3_CK3N	18362.89
MC2_REXT	2956.44	MC3_CK3P	18316.64
MC2_SCSN0	11586.87	MC3_CKE0	18384.33
MC2_SCSN1	11477.49	MC3_CKE1	18466.99
MC2_SCSN2	11524.19	MC3_CKE2	18314.49
MC2_SCSN3	11488.9	MC3_CKE3	18341.39
MC2_SCSN4	11504.75	MC3_DQ00	23294.45
MC2_SCSN5	11481.04	MC3_DQ01	23266.38
MC2_SCSN6	11510.32	MC3_DQ02	23265.19
MC2_SCSN7	11504.85	MC3_DQ03	23248.43

MC2_WEN	11608.54	MC3_DQ04	23170.64
MC3_A00	18298.18	MC3_DQ05	23217.51
MC3_A01	18391.33	MC3_DQ06	23192.07
MC3_A02	18402.61	MC3_DQ07	23239.19
MC3_A03	18363.27	MC3_DQ08	24775.05
MC3_A04	18326.57	MC3_DQ09	24726.27
MC3_A05	18445.3	MC3_DQ10	24646.82
MC3_A06	18387.94	MC3_DQ11	24631.8
MC3_A07	18359.4	MC3_DQ12	24727.4
MC3_A08	18439.43	MC3_DQ13	24697.46
MC3_A09	18393.92	MC3_DQ14	24643.82
MC3_A10	18458.64	MC3_DQ15	24633.97
MC3_A11	18442.78	MC3_DQ16	20763.89
MC3_A12	18415.05	MC3_DQ17	20907.5
MC3_A13	18436.18	MC3_DQ18	20941.63
MC3_A17	18390.06	MC3_DQ19	20794
MC3_ACTN	18369.59	MC3_DQ20	20914.87
MC3_DQ21	20842.58	MC3_DQS02P	20923.71
MC3_DQ22	20784.07	MC3_DQS03N	22218.79
MC3_DQ23	20793.54	MC3_DQS03P	22262.14
MC3_DQ24	22360.06	MC3_DQS04N	21388.6
MC3_DQ25	22290.4	MC3_DQS04P	21436.16
MC3_DQ26	22277.18	MC3_DQS05N	14631.95
MC3_DQ27	22349.78	MC3_DQS05P	14675.3
MC3_DQ28	22220.5	MC3_DQS06N	20557.27
MC3_DQ29	22211.62	MC3_DQS06P	20606.1
MC3_DQ30	22302.82	MC3_DQS07N	14345.13
MC3_DQ31	22212.67	MC3_DQS07P	14392.25
MC3_DQ32	21507.43	MC3_DQS08N	18301.59
MC3_DQ33	21409.5	MC3_DQS08P	18344.93
MC3_DQ34	21496.66	MC3_DQS09N	23270.1
MC3_DQ35	21505.93	MC3_DQS09P	23236.43
MC3_DQ36	21360.87	MC3_DQS10N	24719.79
MC3_DQ37	21491.27	MC3_DQS10P	24671.42
MC3_DQ38	21414.4	MC3_DQS11N	20859.5
MC3_DQ39	21391.65	MC3_DQS11P	20841
MC3_DQ40	14760.93	MC3_DQS12N	22290.75
MC3_DQ41	14700.95	MC3_DQS12P	22247.41
MC3_DQ42	14636.35	MC3_DQS13N	21397.1
MC3_DQ43	14596.16	MC3_DQS13P	21357.06
MC3_DQ44	14645.14	MC3_DQS14N	14639.88
MC3_DQ45	14693.55	MC3_DQS14P	14610.66

MC3_DQ46	14663.08	MC3_DQS15N	20527.75
MC3_DQ47	14620.59	MC3_DQS15P	20500.97
MC3_DQ48	20519.34	MC3_DQS16N	14400.47
MC3_DQ49	20589.03	MC3_DQS16P	14352.98
MC3_DQ50	20564.93	MC3_DQS17N	18273.92
MC3_DQ51	20587.02	MC3_DQS17P	18233.8
MC3_DQ52	20555.22	MC3_ODT0	18313.23
MC3_DQ53	20559.91	MC3_ODT1	18380.32
MC3_DQ54	20538.35	MC3_ODT2	18318.68
MC3_DQ55	20589.72	MC3_ODT3	18416.85
MC3_DQ56	14322.33	MC3_PAR	18286.07
MC3_DQ57	14321.94	MC3_RASN	18289.22
MC3_DQ58	14332.99	MC3_RESETN	19769.58
MC3_DQ59	14313.76	MC3_REXT	15161.87
MC3_DQ60	14342.58	MC3_SCSN0	18415.77
MC3_DQ61	14376.32	MC3_SCSN1	18365.74
MC3_DQ62	14339.99	MC3_SCSN2	18362.44
MC3_DQ63	14315.52	MC3_SCSN3	18375.96
MC3_DQS00N	23369.72	MC3_SCSN4	18457.77
MC3_DQS00P	23363.13	MC3_SCSN5	18363.05
MC3_DQS01N	24622.69	MC3_SCSN6	18285.2
MC3_DQS01P	24647.04	MC3_SCSN7	18358.69
MC3_DQS02N	20880.37	MC3_WEN	18361.55

版权声明

龙芯中科技术股份有限公司版权所有。

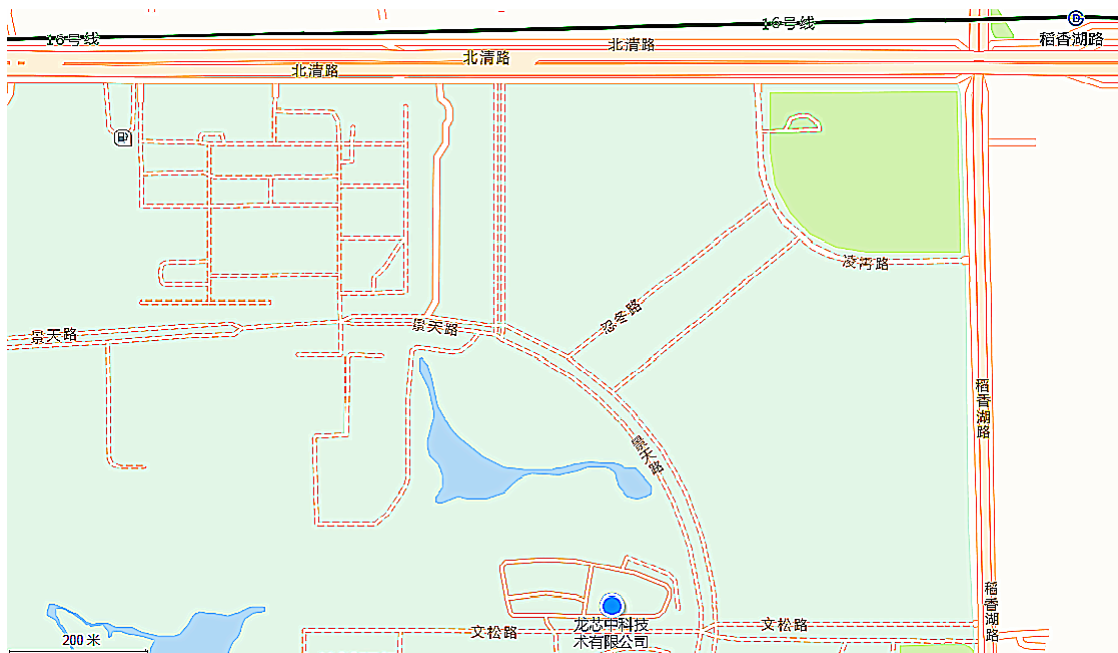
LOONGSON是龙芯中科技术股份有限公司的注册商标。本文中所涉及的其他商标或产品名称均为各自拥有者的商标或产品名称。

本文中的信息若有更改，恕不另行通知。虽然已尽力确保本文的完整性和准确性，但龙芯中科技术股份有限公司对本文的内容不作任何保证。龙芯中科技术股份有限公司对本文中包含的错误或遗漏，或者因使用本文引发的任何损失概不负责。

未经龙芯中科技术股份有限公司许可，任何个人和组织均不得以任何手段与形式对本文进行复制或传播。

龙芯中科技术股份有限公司

附 龙芯中科技术股份有限公司地理位置





龙芯中科技术股份有限公司

地址：北京市海淀区温泉镇中关村环保科技示范园龙芯产业园 2 号楼

邮编：100095

公司传真：010-62600826

联系电话：010-62546668

联系邮箱：service@loongson.cn

公司网址：<http://www.loongson.cn>

龙芯社区：<http://www.loongnix.org>

下载网址：<http://ftp.loongnix.org/>